



DEUTSCHES  
PATENT- UND  
MARKENAMT

21 Aktenzeichen: 198 24 209.3  
22 Anmeldetag: 29. 5. 98  
43 Offenlegungstag: 15. 4. 99

30 Unionspriorität:  
9-272834 06. 10. 97 JP  
71 Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP  
74 Vertreter:  
Prüfer und Kollegen, 81545 München

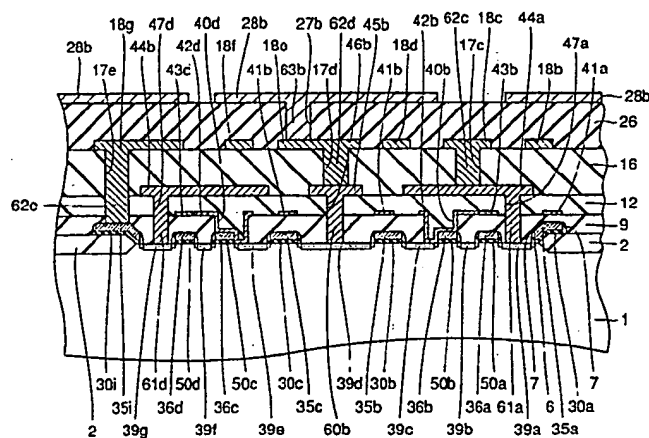
72 Erfinder:  
Ishigaki, Yoshiyuki, Tokio/Tokyo, JP; Honda, Hiroki,  
Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Halbleitervorrichtung

57 Eine Halbleitervorrichtung mit einer Nebenschlußverbindung, die mit einer höheren Geschwindigkeit arbeitet und eine höhere Integrationsdichte erlaubt, ist angegeben. In der Halbleitervorrichtung mit der Nebenschlußverbindung sind ein Nebenschlußverbindungs Bereich (35i) für eine Wortleitung (35d) und eine erste Nebenschlußverbindung (18g) mit einem Metall in dem Speicherzellenbereich gebildet. In dem Speicherzellenbereich sind der Nebenschlußverbindungs Bereich (35i) und die Nebenschlußverbindung (18g) elektrisch miteinander über einen Wortleitungskontaktstopfen (62e) verbunden, der in einem Kontaktloch (17e) gebildet ist.



Die vorliegende Erfindung bezieht sich allgemein auf eine Halbleitervorrichtung. Insbesondere bezieht sie sich auf eine Halbleitervorrichtung mit einer Nebenschlußverbindung (Parallelverbindung, Shuntverbindung, Nebenleitung).

SRAMs sind als eine Art von flüchtigen Halbleitervorrichtungen bekannt. In dem SRAM sind Speicherzellen an Kreuzungsabschnitten von komplementären (ergänzenden) Datenleitungen (Bitleitungen) und Wortleitungen, die in einer Matrix angeordnet sind, vorgesehen. Fig. 30 ist ein Equivalentschaltbild (Ersatzschaltbild) eines Speicherzellenabschnittes in einem der Anmelderin bekannten SRAM. Es wird auf Fig. 30 Bezug genommen; die Speicherzelle in dem der Anmelderin bekannten SRAM ist aus zwei Zugriffstransistoren A1 und A2, zwei Treibertransistoren D1 und D2 und zwei Hochwiderstandslastelementen R1 und R2 gebildet.

Die zwei Hochwiderstandslastelemente R1 und R2 und die zwei Treibertransistoren D1 und D2 bilden eine Flip-Flop-Schaltung. In der Flip-Flop-Schaltung sind zwei über Kreuz gekoppelte Speicherknoten N1 und N2 gebildet. Die Flip-Flop-Schaltung hat zwei stabile Zustände, hoch H (N1) und niedrig L (N2), und niedrig L (N1) und hoch H (N2). Einer dieser zwei Zustände wird fortlaufend gehalten, solange eine vorgeschriebene Stromversorgungsspannung angelegt ist.

Einer der Source/Drainbereiche des Zugriffstransistors A1 ist mit einer Bitleitung BIT verbunden. Der andere der Source/Drainbereiche des Zugriffstransistors A1 ist mit dem Speicherknoten N1 der Flip-Flop-Schaltung verbunden. Einer der Source/Drainbereiche des Zugriffstransistors A2 ist mit einer komplementären Bitleitung/BIT verbunden. Der andere der Source/Drainbereiche des Zugriffstransistors A2 ist mit dem Speicherknoten N2 der Flip-Flop-Schaltung verbunden. Die Gateelektroden der Zugriffstransistoren A1 und A2 sind mit einer Wortleitung WL verbunden. Die Wortleitung WL steuert die Ein/Aus-Zustände der Zugriffstransistoren A1 und A2.

Die Drainbereiche der Treibertransistoren D1 und D2 sind mit den anderen der Source/Drainbereiche der Zugriffstransistoren A1 bzw. A2 verbunden und die Sourcebereiche der Treibertransistoren D1 und D2 sind mit einer Massenleitung verbunden. Die Gateelektrode des Treibertransistors D1 ist mit dem anderen der Source/Drainbereiche des Zugriffstransistors A2 verbunden, und die Gateelektrode des Treibertransistors D2 ist mit dem anderen der Source/Drainbereiche des Zugriffstransistors A1 verbunden. Die einen Enden der Hochwiderstandslastelemente R1 und R2 sind mit den anderen der Source/Drainbereiche der Zugriffstransistoren A1 bzw. A2 verbunden. Die anderen Enden der Hochwiderstandselemente R1 und R2 sind mit einer Stromversorgungsleitung verbunden.

Während eines Datenschreibetriebs werden die Zugriffstransistoren A1 und A2 durch Auswählen der Wortleitung WL eingeschaltet. Eine Spannung wird zwangsweise an das Bitleitungspaar BIT und /BIT angelegt, abhängig von einem vorgeschriebenen logischen Wert, und die Flip-Flop-Schaltung wird auf einen der oben beschriebenen Zustände gesetzt. Während eines Datenlesebetriebs werden die Zugriffstransistoren A1 und A2 eingeschaltet. Die Potentiale an den Speicherknoten N1 und N2 werden an das Bitleitungspaar übertragen.

In einem derartigen SRAM gibt es in den vergangenen Jahren eine Notwendigkeit zum Betreiben der Vorrichtung mit einer höheren Geschwindigkeit und mit einer niedrigeren Spannung. Um die Betriebsgeschwindigkeit zu erhöhen,

ist die Verringerung des elektrischen Widerstandes einer Wortleitung ein unvermeidliches Erfordernis. Um die Vorrichtung mit einer niedrigeren Spannung zu betreiben, muß das Potential der Massenleitung auf dem Massenpegel stabilisiert werden, was ebenfalls eine Verringerung des elektrischen Widerstandes der Massenleitung erfordert.

Zu diesem Zweck wird es praktiziert, daß eine Wortleitung und eine Massenleitung aus Polysilizium oder Polyzid (Polycid) gebildet wird und daß eine Hauptverbindung oder eine Nebenschlußverbindung (Parallelverbindung, Parallelschaltungsverbindung, Shuntverbindung) aus einer Metallschicht auf der Wortleitung oder der Massenleitung mit einer dazwischen angeordneten Zwischenschichtisolierschicht gebildet wird. Es ist ein Verbindungsbereich für eine Hauptverbindung oder eine Nebenschlußverbindung jeweils für 8 Bits oder 16 Bits von Speicherzellen vorgesehen, und die Wortleitung und die Massenleitung sind elektrisch mit der Hauptverbindung oder der Nebenschlußverbindung in dem Verbindungsbereich verbunden.

Fig. 31 ist eine Darstellung einer Speicherzelle in einem der Anmelderin bekannten SRAM, welcher eine Wortleitung und eine Hauptwortleitung aufweist.

Es wird auf Fig. 31 Bezug genommen; das Speicherfeld 101 in dem der Anmelderin bekannten SRAM weist eine Mehrzahl von Wortdekoderabschnitten 102a und 102b und Speichermattenabschnitte 103a und 103b auf. In dem Speichermattenabschnitt 103a sind Wortleitungen 106a, 106b, 106c und 106d derart gebildet, daß sie sich von dem Wortdekoderabschnitt 102a in vorgeschriebenen Intervallen erstrecken. Komplementäre Bitleitungen 105a und 105b sind senkrecht zu den Wortleitungen 106a, 106b, 106c und 106d gebildet. Speicherzellen 104a und 104b sind in Kreuzungspunkten einer Wortleitung und Bitleitungen gebildet. Eine einzelne Hauptwortleitung 107, die den vier Wortleitungen 106a, 106b, 106c und 106d entspricht, ist derart gebildet, daß sie diese Wortleitungen und den Wortdekoderabschnitt 102a verbinden. Die Hauptleitung 107 ist aus einem Metall wie beispielsweise Aluminium gebildet.

Auf diese Weise ist die einzelne Hauptwortleitung 107 elektrisch mit den Wortleitungen 106a, 106b, 106c und 106d in dem Wortdekoderabschnitt 102a verbunden und ein elektrisches Signal kann eine Wortleitung 106a, 106b, 106c und 106d über die Hauptwortleitung 107 übertragen werden. Die Hauptwortleitung 107 ist aus einem Metall mit einem niedrigen elektrischen Widerstand gebildet, und deshalb wird das elektrische Signal, das an die Wortleitungen 106a, 106b, 106c und 106d übertragen wird, durch die Hauptwortleitung 107 geleitet, und die Übertragungsverzögerung zu den Wortleitungen 106a, 106b, 106c und 106d kann verringert werden.

Fig. 32 ist ein Layout (Plan, die Anordnung) einer Speicherzelle in einem anderen der Anmelderin bekannten SRAM, welcher eine Nebenschlußverbindung aufweist.

Es wird auf Fig. 32 Bezug genommen; die Speicherzelle in dem der Anmelderin bekannten SRAM weist Zugriffstransistoren 108a und 108b und Treibertransistoren 110a und 110b auf. Eine Wortleitung 106 ist auf einem Halbleitersubstrat derart gebildet, daß sie als die Gateelektroden der Zugriffstransistoren 108a und 108b dient. Komplementäre Bitleitungen 105a und 105b sind auf der Wortleitung 106 mit einer dazwischen angeordneten ersten Zwischenschichtisolierschicht gebildet. Eine Nebenschlußverbindung 107 aus einer Metallschicht ist auf den komplementären Bitleitungen 105a und 105b mit einer dazwischen angeordneten zweiten Zwischenschichtisolierschicht gebildet. Die Wortleitung 106 und die Nebenschlußverbindung 107 sind in einem Kontaktloch 109, das in einem von dem Speicherzellenbereich verschiedenen Bereich gebildet ist, elektrisch

verbunden.

Auf diese Weise ist in dem der Anmelderin bekannten SRAM zum Erhöhen der Betriebsgeschwindigkeit die Hauptwortleitung oder eine Nebenschlußwortleitung (Parallelwortleitung, Shuntwortleitung) gebildet und elektrisch mit einer Wortleitung verbunden in einem Bereich, der ein anderer ist als der Speicherzellenbereich wie beispielsweise der Wortdekoderabschnitt.

Wenn eine Nebenschlußverbindung aus einer Metallschicht gebildet ist, und eine Massenleitung und die Nebenschlußverbindung in dem Verbindungsbereich zum Nebenschließen (Parallelschalten, Überbrücken) verbunden sind, um den elektrischen Widerstand der Massenleitung zu verringern, wird der Verbindungsbereich auch in einem Bereich gebildet, der ein anderer ist als der Speicherzellenbereich, wie in dem Falle mit der Wortleitung.

Es gibt eine steigende Notwendigkeit für eine hohe Integrationsdichte von SRAMs zusätzlich zu der oben genannten Notwendigkeit zum Erhöhen der Betriebsgeschwindigkeit und Verringern der Betriebsspannung. Jedoch muß, wie in Fig. 31 und 32 gezeigt ist, der Verbindungsbereich zum Verbinden der Hauptwortleitung oder der Nebenschlußverbindung 107 mit der Wortleitung 106 getrennt von dem Speicherzellenbereich gesichert sein, was zu einer Schwierigkeit im Erhöhen der Integrationsdichte der SRAMs führt. Dies trifft in ähnlicher Weise auf den Fall des Bildens der Nebenschlußverbindung für die Massenleitung zu.

Es ist eine Aufgabe der Erfindung, eine Halbleitervorrichtung anzugeben, welche fähig ist, mit einer höheren Geschwindigkeit zu arbeiten und eine hohe Integrationsdichte zu ermöglichen, und eine Halbleitervorrichtung anzugeben, die fähig ist, mit einer niedrigeren Spannung zu arbeiten und eine hohe Integrationsdichte zu ermöglichen.

Diese Aufgabe wird gelöst durch eine Halbleitervorrichtung nach Anspruch 1 bzw. nach Anspruch 7.

Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Eine Halbleitervorrichtung weist eine Mehrzahl von in einer Matrix angeordneten Speicherzellen auf. Eine Wortleitung ist auf einer ersten Speicherzelle der Mehrzahl von Speicherzellen gebildet. Eine erste Nebenschlußverbindung mit einem niedrigen Widerstand ist auf der Wortleitung mit einer ersten Zwischenschichtisolierschicht dazwischen angeordnet gebildet. Die erste Nebenschlußverbindung ist eine aus einer Mehrzahl von Nebenschlußverbindungen, von denen mindestens eine für jede der Mehrzahl von Speicherzellen gebildet ist, die benachbart zu einander in der Richtung vorgesehen sind, die fast senkrecht zu der Richtung ist, in die sich die Wortleitung erstreckt. Die Wortleitung und die erste Nebenschlußverbindung sind elektrisch in einem ersten Verbindungsbereich zum Nebenschließen (Parallelschalten) verbunden. Der erste Verbindungsbereich ist in einem Bereich gebildet, der die erste Speicherzelle zweidimensional überlappt. Die erste Nebenschlußverbindung mit einem niedrigen Widerstand ist elektrisch mit der Wortleitung in dem ersten Verbindungsbereich zum Nebenschließen verbunden, ein Signal kann durch die erste Nebenschlußverbindung zu der Wortleitung übertragen werden und der Widerstand der Wortleitung kann verringert sein. Ferner ist der erste Verbindungsbereich zum Nebenschließen in dem Bereich gebildet, der die Speicherzelle zweidimensional überlappt, und es besteht keine Notwendigkeit, einen anderen Bereich als den Nebenbereich für den ersten Verbindungsbereich zu sichern. Eine hochintegrierte Halbleitervorrichtung kann im Vergleich zu dem Fall angegeben werden, in dem der erste Verbindungsbereich in einem anderen Bereich als die Speicherzelle vorgesehen ist. Zusätzlich kann, da mindestens eine erste Nebenschlußverbindung für

jede der Mehrzahl von Speicherzellen gebildet ist, die benachbart zueinander in der Richtung vorgesehen sind, die fast senkrecht zu der Richtung ist, in die sich die Wortleitung erstreckt, die Anzahl von Nebenschlußverbindungen pro Wortleitung erhöht sein im Vergleich zu dem der Anmelderin bekannten Fall, und der Widerstand der Wortleitungen kann im Vergleich zu dem der Anmelderin bekannten Fall verringert sein.

In der Halbleitervorrichtung kann eine Massenleitung auf der ersten Speicherzelle und auf einer zweiten Speicherzelle gebildet sein. Eine zweite Nebenschlußverbindung mit einem niedrigen Widerstand kann auf der Wortleitung und der Massenleitung mit einer zweiten Zwischenschichtisolierschicht dazwischen angeordnet gebildet sein. Die zweite Nebenschlußverbindung kann eine aus einer Mehrzahl von Nebenschlußverbindungen sein, die jeweils für mindestens zwei der Mehrzahl von Speicherzellen gebildet sind, die benachbart zueinander in der Richtung vorgesehen sind, die fast senkrecht zu der Richtung ist, in die sich die Wortleitung erstreckt. Die Massenleitung und die zweite Nebenschlußverbindung kann elektrisch in einem zweiten Verbindungsbereich zum Nebenschließen verbunden sein. Der zweite Verbindungsbereich kann in einem Bereich gebildet sein, der die erste Speicherzelle zweidimensional überlappt. Daher ist die Massenleitung mit der zweiten Nebenschlußverbindung in dem zweiten Verbindungsbereich elektrisch verbunden, und deshalb kann ein zu der Massenleitung laufender Strom zu der zweiten Nebenschlußverbindung mit einem niedrigen Widerstand laufen, was eine Verringerung des Widerstandes der Massenleitung zusätzlich zu der Verringerung des Widerstandes der Wortleitung zur Folge hat. Als eine Folge kann die Vorrichtung mit einer höheren Geschwindigkeit wegen der Verringerung des Widerstandes der Wortleitung betrieben werden, und zur gleichen Zeit kann die Vorrichtung wegen der Stabilisierung des Potentials der Massenleitung auf dem Massenpegel mit einer niedrigeren Spannung betrieben werden. Ferner sind der zweite Verbindungsbereich wie auch der erste Verbindungsbereich in den Bereichen gebildet, die die Speicherzelle zweidimensional überlappen, und deshalb ist es nicht nötig, einen anderen Bereich als in dem Speicherzellenbereich zum Vorsehen der ersten und zweiten Verbindungsbereiche zu sichern. Daher kann eine hoch integrierte Halbleitervorrichtung vorgesehen sein, im Vergleich zu dem Fall, in dem der erste und der zweite Verbindungsbereich in einem anderen Bereich als dem Speicherzellenbereich vorgesehen sind.

In der Halbleitervorrichtung kann die erste Nebenschlußverbindung mindestens eine Metallschicht und eine Refraktär-Metallsilizidschicht (hochschmelzende Metallsilizidschicht) mit einem niedrigen elektrischen Widerstand aufweisen. Daher kann der Widerstand der ersten Nebenschlußverbindung verringert sein. Als eine Folge kann der Widerstand der Wortleitung effektiv verringert sein.

In der Halbleitervorrichtung kann eine Stromversorgungsleitung in dem Bereich in einer Position zwischen der Wortleitung und der ersten Nebenschlußverbindung gebildet sein. Die Stromversorgungsleitung kann derart vorgesehen sein, daß sie den ersten Verbindungsbereich nicht zweidimensional überlappt. Als eine Folge kann der erste Verbindungsbereich in dem Bereich gebildet sein, der den Speicherzellenbereich in einer derartigen Struktur überlappt, welche die Stromversorgungsleitung zwischen der Wortleitung und einer ersten Nebenschlußverbindung aufweist. Deshalb gibt es keine Notwendigkeit einen anderen Bereich als den Speicherzellenbereich zum Bilden des ersten Verbindungsbereichs zu sichern. Als eine Folge kann in einer Halbleitervorrichtung mit einer Stromversorgungsleitung, die sich zwischen einer Wortleitung und einer ersten Neben-

schlußverbindung befindet, eine hochintegrierte Halbleitervorrichtung vorgesehen sein, im Vergleich zu dem Fall, in dem der erste Verbindungsbereich in einem anderen Bereich als dem Speicherzellenbereich vorgesehen ist.

In der Halbleitervorrichtung kann die Massenleitung in einem Bereich gebildet sein, der sich zwischen der Wortleitung und der ersten Nebenschlußverbindung befindet, und die Massenleitung kann derart gebildet sein, daß sie den ersten Verbindungsbereich nicht zweidimensional überlappt. Daher kann, falls die Massenleitung zwischen der Wortleitung und der ersten Nebenschlußverbindung vorhanden ist, der erste Verbindungsbereich in einem Bereich gebildet sein, der die Speicherzelle überlappt. Es gibt keine Notwendigkeit, einem anderen Bereich als den Speicherzellenbereich für den ersten Verbindungsbereich zu sichern. Als eine Folge kann in einer derartigen Halbleitervorrichtung mit einer Massenleitung zwischen einer Wortleitung und einer ersten Nebenschlußverbindung eine hoch integrierte Halbleitervorrichtung gebildet sein, im Vergleich zu dem Fall, in dem der erste Verbindungsbereich in einem anderen Bereich als die Speicherzelle vorgesehen ist.

In der Halbleitervorrichtung kann mindestens ein derartiger erster Verbindungsbereich für mindestens vier Speicherzellen gebildet sein, die benachbart zueinander in der Richtung vorgesehen sind, in die sich die Wortleitung erstreckt. Daher kann der Widerstand der Wortleitung verringert sein, und die Fläche (Bereich) kann verringert sein, welche durch den ersten Verbindungsbereich auf der Speicherzelle belegt ist. Daher können beim Erhöhen der Integrationsdichte einer Halbleitervorrichtung Beschränkungen in Verbindung mit dem Layout (Plan, Anordnung) anderer Elemente oder Verbindungen auf der Speicherzelle verringert sein.

Eine Halbleitervorrichtung weist eine Mehrzahl von in einer Matrix angeordneten Speicherzellen auf. Eine erste Massenleitung ist auf einer ersten Speicherzelle der Mehrzahl von Speicherzellen gebildet. Eine erste Nebenschlußverbindung mit einem niedrigen Widerstand ist auf der ersten Massenleitung mit einer ersten Zwischenschichtisolierschicht dazwischen angeordnet gebildet. Die erste Nebenschlußverbindung kann eine aus einer Mehrzahl von Nebenschlußverbindungen sein, die jeweils für mindestens zwei der Mehrzahl von Speicherzellen gebildet sind, die benachbart zu einander in einer Richtung vorgesehen sind, die fast senkrecht zu der Richtung ist, in die sich die Massenleitung erstreckt. Die erste Massenleitung und die erste Nebenschlußverbindung sind elektrisch miteinander in einem ersten Verbindungsbereich zum Nebenschließen verbunden. Der erste Verbindungsbereich ist in einem Bereich gebildet, der die erste Speicherzelle zweidimensional überlappt. In der Halbleitervorrichtung kann, da die erste Nebenschlußverbindung mit einem niedrigen Widerstand elektrisch mit der ersten Massenleitung in dem ersten Verbindungsbereich zum Nebenschließen verbunden ist, ein Strom, der zu der ersten Massenleitung läuft, zu der ersten Nebenschlußverbindung mit einem niedrigen Widerstand laufen. Daher kann der Widerstand der Massenleitung verringert sein. Als eine Folge kann das Potential der Massenleitung auf dem Massenpegel stabilisiert sein und die Halbleitervorrichtung kann mit einer niedrigeren Spannung betrieben werden.

Ferner gibt es, da der erste Verbindungsbereich in einem Bereich gebildet ist, der die erste Speicherzelle zweidimensional überlappt, keine Notwendigkeit, einen anderen Bereich als den Speicherzellenbereich für den ersten Verbindungsbereich zu sichern. Daher kann die Halbleitervorrichtung hoch integriert sein im Vergleich zu dem Fall, in dem der erste Verbindungsbereich in einem anderen Bereich als die Speicherzelle vorgesehen ist.

In der Halbleitervorrichtung kann eine zweite Speicher-

zelle benachbart zu der ersten Speicherzelle in einer Richtung vorgesehen sein, die fast senkrecht zu der Richtung ist, in die sich die erste Massenleitung erstreckt, und eine zweite Massenleitung kann zum Erstrecken fast parallel zu der ersten Massenleitung auf der zweiten Speicherzelle gebildet sein. Die erste und die zweite Massenleitung können elektrisch miteinander verbunden sein. Daher kann die zweite Massenleitung mit keinem Bereich, der direkt in Verbindung mit dem ersten Nebenschlußbereich mit einem niedrigen Widerstand steht, elektrisch mit der ersten Nebenschlußverbindung über die erste Massenleitung verbunden sein. Daher kann der Widerstand der zweiten Massenleitung verringert sein, ohne daß eine Nebenschlußverbindung oder ein Verbindungsbereich zum Nebenschließen auf der zweiten Speicherzelle vorgesehen ist. Als eine Folge kann die Halbleitervorrichtung mit einer niedrigeren Spannung betrieben werden.

In der Halbleitervorrichtung kann die erste Nebenschlußverbindung mindestens eine Metallschicht oder eine hochschmelzende Metallsilizidschicht mit einem niedrigen elektrischen Widerstand aufweisen. Daher kann der Widerstand der ersten Nebenschlußverbindung verringert sein. Als eine Folge kann der Widerstand der Massenleitung verringert sein.

In der Halbleitervorrichtung kann mindestens ein derartiger erster Verbindungsbereich für mindestens zwei Speicherzellen gebildet sein, die benachbart zueinander in der Richtung gebildet sind, in die sich die Massenleitung erstreckt. Daher kann der Widerstand der Massenleitung verringert sein, während die Fläche (Bereich) verringert sein kann, die durch den ersten Verbindungsbereich auf den Speicherzellen belegt ist. Als eine Folge können in einer hohen Integration einer Halbleitervorrichtung Beschränkungen, die mit dem Layout anderer Elemente oder Verbindungen auf der Speicherzelle verbunden sind, verringert sein.

Weitere Merkmale und Zweckmäßigkeiten ergeben sich aus der folgenden Beschreibung von Ausführungsformen der vorliegenden Erfindung unter Bezugnahme auf die beiliegenden Figuren. Von diesen zeigen:

Fig. 1 ein zweidimensionales Layout (Plan, Anordnung) von Speicherzellen, die in einer Matrix von zwei Zeilen x vier Spalten in einem SRAM gemäß einer ersten Ausführungsform der Erfindung angeordnet sind;

Fig. 2 eine Querschnittsansicht entlang der Linie 500-500 in Fig. 1;

Fig. 3 eine Querschnittsansicht entlang der Linie 600-600 in Fig. 1;

Fig. 4 ein zweidimensionales Layout zum Gebrauch in einer Veranschaulichung des ersten Schritts in der Herstellung von Speicherzellen in dem SRAM gemäß der in Fig. 1 gezeigten ersten Ausführungsform;

Fig. 5 eine Querschnittsansicht entlang der Linie 300-300 in Fig. 4;

Fig. 6 ein zweidimensionales Layout zum Gebrauch in einer Veranschaulichung des zweiten Schritts in der Herstellung der Speicherzellen in dem SRAM gemäß der in Fig. 1 gezeigten ersten Ausführungsform;

Fig. 7 eine Querschnittsansicht entlang der Linie 300-300, die in Fig. 6 gezeigt ist;

Fig. 8 eine Querschnittsansicht entlang der Linie 400-400, die in Fig. 6 gezeigt ist;

Fig. 9 ein zweidimensionales Layout zum Gebrauch in einer Veranschaulichung des dritten Schritts in der Herstellung der Speicherzellen in dem SRAM gemäß der in Fig. 1 gezeigten ersten Ausführungsform;

Fig. 10 eine Querschnittsansicht entlang der Linie 300-300, die in Fig. 9 gezeigt ist;

Fig. 11 eine Querschnittsansicht entlang der Linie 400-

400, die in Fig. 9 gezeigt ist;

Fig. 12 ein zweidimensionales Layout zum Gebrauch in der Veranschaulichung des vierten Schritts in der Herstellung der Speicherzellen in dem SRAM gemäß der in Fig. 1 gezeigten ersten Ausführungsform;

Fig. 13 eine Querschnittsansicht entlang der Linie 300-300, die in Fig. 12 gezeigt ist;

Fig. 14 eine Querschnittsansicht entlang der Linie 400-400, die in Fig. 12 gezeigt ist;

Fig. 15 ein zweidimensionales Layout zum Gebrauch in der Veranschaulichung des fünften Schritts in der Herstellung der Speicherzellen in dem SRAM gemäß der in Fig. 1 gezeigten ersten Ausführungsform;

Fig. 16 eine Querschnittsansicht entlang der Linie 500-500 in Fig. 15;

Fig. 17 ist eine Querschnittsansicht entlang der Linie 600-600 in Fig. 15;

Fig. 18 ist ein zweidimensionales Layout von zwei benachbarten Speicherzellen in einem SRAM gemäß einer zweiten Ausführungsform der Erfindung;

Fig. 19 ist ein Teil einer Querschnittsansicht entlang der Linie 100-100 in Fig. 18;

Fig. 20 ist eine Querschnittsansicht entlang der Linie 200-200 in Fig. 18;

Fig. 21 ist ein zweidimensionales Layout von Speicherzellen, die in einer Matrix von vier Zeilen x vier Spalten in dem SRAM gemäß der in Fig. 18 gezeigten zweiten Ausführungsform angeordnet sind;

Fig. 22 ist ein zweidimensionales Layout zum Gebrauch in der Veranschaulichung des ersten Schrittes in der Herstellung der Speicherzellen in dem SRAM gemäß der in Fig. 18 gezeigten zweiten Ausführungsform;

Fig. 23 ist eine Querschnittsansicht entlang der Linie 200-200 in Fig. 22;

Fig. 24 ist ein zweidimensionales Layout zum Gebrauch in der Veranschaulichung des zweiten Schritts in der Herstellung der Speicherzellen in dem SRAM gemäß der in Fig. 18 gezeigten zweiten Ausführungsform;

Fig. 25 ist eine Querschnittsansicht entlang der Linie 200-200 in Fig. 24;

Fig. 26 ist ein zweidimensionales Layout zum Gebrauch in der Veranschaulichung des dritten Schritts in der Herstellung der Speicherzellen in dem SRAM gemäß der in Fig. 18 gezeigten zweiten Ausführungsform;

Fig. 27 ist eine Querschnittsansicht entlang der Linie 200-200 in Fig. 26;

Fig. 28 ist ein zweidimensionales Layout zum Gebrauch in der Veranschaulichung des vierten Schritts in der Herstellung der Speicherzellen in dem SRAM gemäß der in Fig. 18 gezeigten zweiten Ausführungsform;

Fig. 29 ist eine Querschnittsansicht entlang der Linie 200-200 in Fig. 28;

Fig. 30 ist ein Equivalentschaltbild (Ersatzschaltbild) einer Speicherzelle in einem der Anmelderin bekannten SRAM;

Fig. 31 ist ein Diagramm des Speicherfeldes in dem der Anmelderin bekannten SRAM; und

Fig. 32 ist ein zweidimensionales Layout der Speicherzelle in dem der Anmelderin bekannten SRAM.

#### Erste Ausführungsform

Es wird auf Fig. 1 bis 3 Bezug genommen; die Struktur (Aufbau) eines Speicherzellenabschnitts in einem SRAM gemäß einer ersten Ausführungsform der Erfindung werden nun beschrieben. Es wird darauf hingewiesen, daß die Linien 500-500 und 600-600 in Fig. 1 gebogen (stufig) sind in einer Mehrzahl von Punkten, um wesentliche Elemente in

dem SRAM in Fig. 2 und 3 gleichzeitig zu zeigen.

In der Speicherzelle gemäß der ersten Ausführungsform ist ein p-Wannenbereich (nicht gezeigt) auf einer Oberfläche eines n-Siliziumsubstrates 1 gebildet. Wie in Fig. 3 gezeigt ist, ist eine Feldisolierschicht 2 zur Elementtrennung in einem vorgeschriebenen Bereich der Oberfläche des p-Wannenbereiches gebildet. In einem aktiven Bereich, der von der Feldisolierschicht 2 umgeben ist, sind n<sup>+</sup>-Source/Drainbereiche 39a-39g in vorgeschriebenen Intervallen (Abständen) gebildet. Auf den Kanalseiten der n<sup>+</sup>-Source/Drainbereiche 39a-39g sind n-Source/Drainbereiche 6 gebildet. Die n-Source/Drainbereiche 6 und jeder der n<sup>+</sup>-Source/Drainbereiche 39a-39g bilden einen Source/Drainbereich in einer LDD (Lightly Doped Drain, leicht dotiertes Drain)-Struktur.

Auf vorgeschriebenen Kanalbereichen zwischen den Source/Drainbereichen 39a-39g und auf vorgeschriebenen Bereichen der Feldisolierschicht 2 sind Wortleitungen 35a, 35b, 35c und 35d (siehe Fig. 2) und ein Bereich 35i für eine Nebenschlußverbindung (parallele Schaltungsverbindung, Parallelverbindung, Shuntverbindung) für die Wortleitung 35d mit Gateisolierschichten 30a, 30b, 30c, 30d (siehe Fig. 2) und 30i gebildet. Auf vorgeschriebenen Kanalbereichen zwischen den n<sup>+</sup>-Source/Drainbereichen 39a-39g sind Gateelektroden 36a-36d von Treibertransistoren mit dazwischen angeordneten Gateisolierschichten 50a-50d gebildet. Seitenwandoxidschichten 7 sind auf den Seiten der Wortleitungen 35a-35d und der Gateelektroden 36a-36d gebildet. Eine Zwischenschichtisolierschicht 9 aus einer Siliziumoxidschicht ist zum Bedecken der gesamten Oberfläche gebildet. Die Kontaktlöcher 40b und 40d sind in vorgeschriebenen Bereichen der Zwischenschichtisolierschicht 9 gebildet.

Niedrigwiderstandsstopfen (Niedrigwiderstandsteckverbindungen) 42b und 42d aus Polysilizium (Polysilicium) sind in den Kontaktlöchern 40b und 40d gebildet, welche Speicherknotenabschnitte ausbilden. Auf der Zwischenschichtisolierschicht 9 sind Vcc-Verbindungen 41a und 41b und Hochwiderstandsabschnitte 43b und 43d gebildet. Eine Zwischenschichtisolierschicht 12 ist zum Bedecken der gesamten Oberfläche der Zwischenschichtisolierschicht 9 gebildet. Auf vorgeschriebenen Bereichen der Zwischenschichtisolierschichten 12 und 9 sind Massenleitungskontaktlöcher 47a und 47b und ein Kontaktloch 46b für eine Bitleitungsverbindung gebildet.

Massenleitungen 44a und 44b sind auf vorgeschriebenen Bereichen auf der Zwischenschichtisolierschicht 12 gebildet. Massenleitungskontaktstopfen 61a und 61d sind in den Massenleitungskontaktlöchern 47a und 47g gebildet. Eine Bitleitungskontaktanschlußfläche 45b ist in einem vorgeschriebenen Bereich auf der Zwischenschichtisolierschicht 12 gebildet. Ein Bitleitungskontaktstopfen 60b ist in dem Bitleitungsverbindungskontaktloch 46b gebildet. Eine Zwischenschichtisolierschicht 16 ist zum Bedecken der gesamten Oberfläche gebildet.

Ein Massenleitungsnebenschlußkontaktloch (ein Massenleitungsparallelschaltungskontaktloch) 17c und ein Bitleitungskontaktloch 17d sind in vorgeschriebenen Bereichen der Zwischenschichtisolierschicht 16 gebildet. Ein Wortleitungskontaktloch 17c ist in vorgeschriebenen Bereichen der Zwischenschichtisolierschichten 16, 12 und 9 gebildet. Nebenschlußwortleitungen 18b, 18d, 18f und 18g einer Metallschicht wie beispielsweise Aluminium sind in einem vorgeschriebenen Bereich auf der Zwischenschichtisolierschicht 16 gebildet. Ein Wortleitungskontaktstopfen 62c ist in dem Kontaktloch 17e gebildet. Eine Nebenschlußwortleitung 18g ist elektrisch mit dem Bereich 35i zum Nebenschlußverbinden für die Wortleitung 35d (siehe Fig. 2) über den

Wortleitungskontaktstopfen 62e, der in dem Kontaktloch 17e gebildet ist, verbunden. Es wird nun auf die Fig. 1 Bezug genommen; Kontaktlöcher 17b, 17h, 17i und 17e beispielsweise in Nebenschlußwortleitungen 18b, 18d, 18f und 18g sind jeweils pro vier benachbarte Speicherzellen gebildet, welche in der Richtung gebildet sind, in die sich die Nebenschlußwortleitung 18b erstreckt.

Es wird auf Fig. 3 Bezug genommen. Eine Nebenschlußmassenleitung 18c ist in einem vorgeschriebenen Bereich auf der Zwischenschichtisolierschicht 16 gebildet. Ein Massenleitungskontaktstopfen 62c ist im Kontaktloch 17c gebildet. Die Nebenschlußmassenleitung 18c ist auch aus einer Metallschicht wie beispielsweise Aluminium gebildet. Die Nebenschlußwortleitung 18b, 18d, 18f und 18g und die Nebenschlußmassenleitung 18c können aus einem hochschmelzenden Metallsilizid (Metallsilicid) bzw. einer Refraktär-Metallsilizidschicht wie beispielsweise Wolframsilicid gebildet sein. Es wird auf Fig. 1 Bezug genommen; die Kontaktlöcher 17c und 17g in der Nebenschlußmassenleitung 18c sind jeweils für zwei Speicherzellen gebildet, welche benachbart zueinander gebildet sind in der Richtung, in die sich die Nebenschlußmassenleitung 18c erstreckt.

Es wird auf Fig. 3 Bezug genommen; eine Bitleitungskontaktanschlußfläche 18e aus einer Metallschicht wie beispielsweise Aluminium ist in einem vorgeschriebenen Bereich auf der Zwischenschichtisolierschicht 16 gebildet. Eine Bitleitungskontaktanschlußfläche 62d ist in dem Kontaktloch 17d gebildet. Eine Zwischenschichtisolierschicht 26 ist zum Bedecken der gesamten Oberfläche gebildet. Ein Kontaktloch 27b ist in einem vorgeschriebenen Bereich der Zwischenschichtisolierschicht 26 gebildet. Eine Bitleitung 28b aus einer Metallschicht wie beispielsweise Aluminium ist in einem vorgeschriebenen Bereich auf der Zwischenschichtisolierschicht 26 gebildet. Ein Bitleitungskontaktstopfen 63b ist in dem Kontaktloch 27b gebildet.

Daher ist die Nebenschlußwortleitung 18g aus einer Metallschicht wie beispielsweise Aluminium elektrisch verbunden mit dem Nebenschlußverbindungsgebiet 35i für die Wortleitung 35d (siehe Fig. 2) über den Wortleitungskontaktstopfen 62e, der in dem Kontaktloch 17e gebildet ist, und deshalb kann ein Signal über die Nebenschlußwortleitung 18g zur Wortleitung 35d übertragen werden. Als eine Folge kann der Widerstand der Wortleitung verringert sein und die Halbleiterspeichervorrichtung kann mit einer höheren Geschwindigkeit arbeiten.

Ferner kann, da die Nebenschlußmassenleitung 18c aus einer Metallschicht elektrisch mit der Massenleitung 44a über den Massenleitungskontaktstopfen 62c verbunden ist, der Strom, der durch die Massenleitung 44a läuft (fließt), zur Nebenschlußmassenleitung 18c mit einem niedrigen elektrischen Widerstand laufen. Als eine Folge kann der Widerstand der Massenleitung 44a reduziert sein. Das Potential der Massenleitung 44a ist daher auf dem Massenpegel stabilisiert, was es erlaubt, daß die Halbleitervorrichtung mit einer niedrigeren Spannung arbeitet. Es wird auf Fig. 1 Bezug genommen; zwei der Nebenschlußwortleitungen 18b, 18d, 18f und 18g sind jeweils für eine Mehrzahl von Speicherzellen, die benachbart zueinander in einer Richtung fast senkrecht zu einer Wortleitung angeordnet sind, d. h. in der Richtung, in die sich die Bitleitungen 28a-28h erstrecken, und die Anzahl von Nebenschlußwortleitungen pro Wortleitung kann im Vergleich zu dem der Anmelderin bekannten Fall erhöht werden. Als eine Folge kann der Widerstand der Wortleitungen 35a, 35b, 35c und 35d (siehe Fig. 2) im Vergleich zu dem der Anmelderin bekannten Fall verringert sein.

Ferner sind das Kontaktloch 17e für die Nebenschlußwortleitung 18g und das Kontaktloch 17c für die Neben-

schlußmassenleitung 18c in einem Bereich gebildet, der die Speicherzellen zweidimensional überlappt. Anders ausgedrückt sind das Kontaktloch 17e und das Kontaktloch 17c in den Speicherzellenhereichen gebildet, wenn sie von oben in einen zugehörigen Grundriß betrachtet werden (Fig. 1). Deshalb ist es nicht nötig, eine andere Fläche (einen anderen Bereich) als die Speicherzellen zum Verbinden der Nebenschlußwortleitung 18g mit dem Bereich 35i für die Nebenschlußverbindung für die Wortleitung 35d und zum Verbinden der Nebenschlußmassenleitung 18c und der Massenleitung 44a zu sichern. Daher kann die Halbleitervorrichtung hoch integriert sein im Vergleich zu dem Fall des Vorsehens des Nebenschlußverbindungsgebietes in einem anderen Bereich als den Speicherzellen.

Die als Stromversorgungsleitung dienenden Vcc-Verbindungen 41a und 41b sind derart angeordnet, daß sie das Kontaktloch 17e für die Nebenschlußwortleitung 18g nicht zweidimensional überlappen, und deshalb kann ein Nebenschlußverbindungsgebiet zum Verbinden der Nebenschlußwortleitung 18g und des Gebietes 35i für die Nebenschlußverbindung für die Wortleitung 35d in einem den Speicherzellenbereich zweidimensional überlappenden Bereich gebildet sein, sogar falls es Vcc-Verbindungen 41a und 41b zwischen der Wortleitung 35d und der Nebenschlußwortleitung 18g gibt.

Da die Massenleitungen 44a und 44b derart vorgesehen sind, daß sie das Kontaktloch 17e, das als der Nebenschlußverbindungsgebiet (siehe Fig. 2) für die Wortleitung 35d dient, nicht zweidimensional überlappen, kann der Nebenschlußverbindungsgebiet für die Wortleitung in einem Bereich gebildet sein, der die Speicherzelle überlappt, falls es Massenleitungen 44a und 44b zwischen der Wortleitung 35d und der Nebenschlußwortleitung 18g gibt.

Es wird auf Fig. 1 Bezug genommen; da das Kontaktloch 17e (siehe Fig. 3) als ein Nebenschlußverbindungsgebiet zum Verbinden der Nebenschlußwortleitung 18g und des Gebietes 35i (siehe Fig. 3) für die Nebenschlußverbindung für die Wortleitung 35d dient, für vier Speicherzellen gebildet ist, welche benachbart zueinander in einer Richtung fast senkrecht zu der Richtung, in die sich die Bitleitung 28b erstreckt, gebildet sind, kann der Widerstand der Wortleitung 35d verringert sein, während die Anzahl von Kontaktlöchern 17e, die als der Nebenschlußverbindungsgebiet auf der Speicherzelle dienen, verringert sein kann, was eine Verringerung der belegten Fläche zur Folge hat. Dies trifft auch auf die Kontaktlöcher 17b und 17h (siehe Fig. 1) in anderen Nebenschlußwortleitungen 18b und 18d zu. Deshalb können in einer hohen Integration einer Halbleitervorrichtung Beschränkungen im Layout (Plan, Anordnung) von anderen Verbindungen wie beispielsweise anderen Massenleitungen 44a und 44b auf der Speicherzelle verringert sein.

Die Kontaktlöcher 17c und 17g (siehe Fig. 1), die als Nebenschlußverbindungsgebiet für die Nebenschlußmassenleitung 18c und die Massenleitung 44a und 44b dienen, sind jeweils für zwei Speicherzellen gebildet, welche benachbart zueinander in der Richtung gebildet sind, in die sich die Nebenschlußmassenleitung 18c (oder die Massenleitung 44a) erstreckt, und deshalb kann der Widerstand der Massenleitungen 44a und 44b verringert sein, und die Anzahl von Kontaktlöchern 17c und 17g, die als der Nebenschlußverbindungsgebiet auf den Speicherzellen dient, kann verringert sein, was eine Verringerung der belegten Fläche zur Folge hat. Als eine Folge können in einer hohen Integration der Halbleitervorrichtung Beschränkungen, die mit dem Layout anderer Verbindungen auf der Speicherzelle verbunden sind, verringert sein.

Es wird auf Fig. 1 Bezug genommen; ferner ist das Kontaktloch 17c, das als ein Nebenschlußverbindungsgebiet



für die Massenleitung 44a dient, für zwei Speicherzellen gebildet, welche benachbart zueinander in der Richtung gebildet sind, in die sich die Bitleitung 28a erstreckt, und es gibt keine Nebenschlußmassenleitung, die direkt mit der Massenleitung 44b verbunden werden soll, in den Speicherzellen, in denen die Nebenschlußwortleitungen 18f und 18g gebildet sind. In den Speicherzellen, die benachbart zueinander in der Richtung gebildet sind, in die sich die Bitleitung 28a erstreckt, sind die Nebenschlußmassenleitung 18c und die Massenleitung 44a elektrisch miteinander über den Stopfen 62c (siehe Fig. 3), der in dem Kontaktloch 17c gebildet ist, verbunden. Es wird auf Fig. 2 Bezug genommen; die Speicherzellenmassenleitungen 44a und 44b für die oben genannten zwei Speicherzellen sind elektrisch miteinander über einen Verbindungsabschnitt 44e verbunden, und die Nebenschlußmassenleitung 18c kann elektrisch mit der Massenleitung 44b in der Speicherzelle, auf der keine Nebenschlußmassenleitung gebildet ist, verbunden sein. Deshalb kann in der Speicherzelle mit der Massenleitung 44b der Widerstand der Massenleitung 44b verringert sein, ohne daß eine Nebenschlußmassenleitung und ein Nebenschlußverbindungsgebiet gebildet ist, was zu einem Niederspannungsbetrieb der Vorrichtung führt.

Es wird auf Fig. 4 bis 17 Bezug genommen; ein Verfahren zum Herstellen der Halbleitervorrichtung gemäß der ersten Ausführungsform wird beschrieben.

Eine Siliziumnitridschicht (nicht gezeigt) wird auf einer Siliziumoxidschicht (nicht gezeigt) abgeschieden, welche als eine auf den n-Halbleitersubstrat 1 (siehe Fig. 4) gebildete Anschlußflächenschicht benutzt wird, und die Feldisolierschicht 2 (siehe Fig. 4) aus einer Siliziumoxidschicht wird mittels selektiver thermischer Oxidation (wie beispielsweise LOCOS, Local Oxidation of Silicon, lokale Oxidation von Silizium) gebildet unter Verwenden der Siliziumnitridschicht als eine Antioxidationsmaske. Die Feldisolierschicht 2 hat eine Dicke ungefähr in dem Bereich von  $2000$  bis  $5000 \times 10^{-10}$  m. Die Siliziumoxidschicht, die als die Anschlußflächenschicht benutzt wird, und die Siliziumnitridschicht werden dann entfernt, um eine Hauptoberfläche des n-Halbleitersubstrats 1 freizulegen. Daher folgt die Struktur, wie sie in Fig. 4 gezeigt ist.

Ein p-Dotierstoff wie beispielsweise Bor wird dann in die gesamte Hauptoberfläche des n-Halbleitersubstrats 1 mit einer Implantationsenergie in dem Bereich von  $200$  bis  $700$  keV implantiert und mit einer Dosis ungefähr in dem Bereich von  $10^{12}$  bis  $10^{13}/\text{cm}^2$ , worauf eine weitere Implantation eines p-Dotierstoffes wie beispielsweise Bor mit einer Implantationsenergie ungefähr in dem Bereich von  $30$  bis  $70$  keV und mit einer Dosis von ungefähr  $3,0 \times 10^{12}/\text{cm}^2$  folgt, um die Schwellenspannungen für Zugriffstransistoren und Treibertransistoren zu setzen. Ein auf diese Weise gebildeter p-Wannenbereich (nicht gezeigt) hat eine Dotierstoffkonzentration ungefähr in dem Bereich von  $10^{16}$  bis  $10^{18}/\text{cm}^3$ .

Dann wird die gesamte Struktur einer thermischen Oxidation ausgesetzt, um eine Gateisolierschicht (nicht gezeigt) einer Siliziumoxidschicht zu bilden. Die Gateisolierschicht hat eine Dicke ungefähr in dem Bereich von  $40$  bis  $100 \times 10^{-10}$  m. Eine mit Phosphor dotierte Polysiliziumschicht (nicht gezeigt) wird auf der Gateisolierschicht mittels LPCVD (Low Pressure Chemical Vapor Deposition, Niederdruckdampfphasenabscheidung) in einer Mischgasatmosphäre, die Phosphin ( $\text{PH}_3$ ) enthält, abgeschieden. Die mit Phosphor dotierte Polysiliziumschicht hat eine Dicke ungefähr in dem Bereich von  $500$  bis  $2000 \times 10^{10}$  m und die Konzentration des Phosphors liegt ungefähr in dem Bereich von  $1,0$  bis  $8,0 \times 10^{20}/\text{cm}^3$ . Ein Resistmuster wird auf der mit Phosphor dotierten Polysiliziumschicht gebildet, und die

Gateisolierschicht und die mit Phosphor dotierte Polysiliziumschicht werden mittels RIE (Reactive Ion Etching, reaktives Ionenätzen) geätzt unter Verwenden des Resistmusters als eine Maske. Auf diese Weise werden die Wortleitungen 35a bis 35d (siehe Fig. 6), die Gateelektroden 36a bis 36d (siehe Fig. 6) der Treibertransistoren und die Gateisolierschichten 30a bis 30b und 50a bis 50d (siehe Fig. 7) gebildet. In die gesamte Oberfläche wird dann beispielsweise Arsen implantiert, während der Wafer bei einem Implantationswinkel von  $45^\circ$  gedreht wird. Die Implantationsenergie zu diesem Zeitpunkt liegt ungefähr in dem Bereich von  $30$  bis  $70$  keV, und die Dosis liegt ungefähr in dem Bereich von ungefähr  $1,0$  bis  $5,0 \times 10^{13}/\text{cm}^2$ . Auf diese Weise werden n-Source/Drainbereiche 6 (siehe Fig. 7) gebildet. Die n-Source/Drainbereiche 6 besitzen eine Dotierstoffkonzentration ungefähr in dem Bereich von  $10^{17}$  bis  $10^{19}/\text{cm}^3$ . Eine Siliziumoxidschicht (nicht gezeigt) mit einer Dicke ungefähr in dem Bereich von  $500$  bis  $2000 \times 10^{-10}$  m wird auf dem gesamten Substrat mittels LPCVD abgeschieden. Dann wird die Siliziumoxidschicht anisotrop weggeätzt mittels RIE, um die Seitenwandoxidschichten 7 (siehe Fig. 7) auf den Seiten der Wortleitungen 35a bis 35d und der Gateelektroden 36a bis 36d der Treibertransistoren zu bilden. Die Seitenwandoxidschicht 7 besitzt eine Breite ungefähr in dem Bereich von  $500$  bis  $2000 \times 10^{-10}$  m. Dann wird beispielsweise Arsen in die Hauptoberfläche des n-Halbleitersubstrats zum Bilden der n-Source/Drainbereiche 38a bis 38h (siehe Fig. 7) implantiert. Das Arsen wird zu dem Zeitpunkt mit einer Implantationsenergie von ungefähr  $50$  keV und mit einer Dosis ungefähr in dem Bereich von  $1,0$  bis  $5,0 \times 10^{15}/\text{cm}^2$  implantiert. Die Dotierstoffkonzentration der n-Source/Drainbereiche 38a bis 38h liegt ungefähr in dem Bereich von  $10^{20}$  bis  $10^{21}/\text{cm}^3$ . Daher folgt die Struktur wie in Fig. 6 bis 8 gezeigt. Es wird auf Fig. 7 Bezug genommen; der n-Source/Drainbereich 6 und jeder der n-Source/Drainbereiche 38a bis 38h bilden eine sogenannte LDD (Lightly Doped Drain, leicht dotiertes Drain)-Struktur.

Eine Zwischenschichtisolierschicht 9 (siehe Fig. 10) aus einer Siliziumoxidschicht mit einer Dicke ungefähr in dem Bereich von  $1000$  bis  $10000 \times 10^{-10}$  m wird zum Bedecken der gesamten Oberfläche mittels LPCVD gebildet. Eine Resistmuster (nicht gezeigt) wird auf der Zwischenschichtisolierschicht 9 gebildet. Unter Verwenden des Resistmusters als eine Maske wird ein Teil der Zwischenschichtisolierschicht 9 anisotrop weggeätzt, um die Kontaktlöcher 40a bis 40d zu bilden (siehe Fig. 9). Das anisotrope Ätzen kann mittels RIE erfolgen. Auf dem Boden (am unteren Ende) der Kontaktlöcher 40a bis 40d werden ein Teil der Gateelektroden 36a bis 36d der Treibertransistoren und ein Teil der n-Source/Drainbereiche 38b, 38d (siehe Fig. 10), 39c und 39e (siehe Fig. 11) freigelegt.

Nach dem Entfernen einer natürlichen (von selbst gebildeten) Oxidschicht mittels Naßätzen unter Verwenden von Fluorwasserstoffsäure, wird eine Polysiliziumschicht (nicht gezeigt) mit einer Dicke ungefähr in dem Bereich von  $200$  bis  $1000 \times 10^{-10}$  m auf der Zwischenschichtisolierschicht 9 (siehe Fig. 10) und in den Kontaktlöchern 40a bis 40d (siehe Fig. 10 und 11) mittels LPCVD abgeschieden. Ein Resistmuster wird auf der Polysiliziumschicht gebildet. Unter Verwenden des Resistmusters als eine Maske wird ein Teil der Polysiliziumschicht anisotrop weggeätzt. Das anisotrope Ätzen erfolgt mittels RIE. Das Resistmuster wird dann entfernt.

In die gesamte Oberfläche wird Phosphor mit einer Implantationsenergie von ungefähr  $30$  keV und mit einer Dosis ungefähr in dem Bereich von  $10^{12}$  bis  $10^{14}/\text{cm}^2$  implantiert. Ein Resistmuster (nicht gezeigt) wird zum Maskieren mindestens von Bereichen, die die Hochwiderstandsabschnitte

43a bis 43d werden sollen (siehe Fig. 9), gebildet, und unter Verwenden des Resistmusters als eine Maske wird Arsen in die Polysiliziumschicht implantiert. Das Arsen wird mit einer Implantationsenergie von ungefähr 20 keV und mit einer Dosis ungefähr in dem Bereich von  $10^{14}$  bis  $10^{15}/\text{cm}^2$  implantiert.

Auf diese Weise werden die Niedrigwiderstandsstopfen 42a bis 42d (siehe Fig. 9), um als Speicherknotenabschnitte zu dienen, und die Vcc-Verbindungsschichten 41a und 41b (siehe Fig. 9) gebildet. Das Resistmuster wird dann entfernt. Die Bereiche ohne implantiertes Arsen besitzen hohe elektrische Widerstände und dienen als die Hochwiderstandsabschnitte 43a bis 43d. Die Hochwiderstandsabschnitte 43a bis 43d besitzen einen Widerstandswert ungefähr in dem Bereich von 100 M $\Omega$  bis 10 T $\Omega$ /Leitung (100 M $\Omega$  bis 10 T $\Omega$  pro Leitung), während die Stopfen 42a bis 42d und die Vcc-Verbindungsabschnitte 41a bis 41b jeweils einen Flächenwiderstandswert in dem Bereich von ungefähr 1 k $\Omega$  bis 100 k $\Omega$ . Daher folgt die Struktur wie in Fig. 9 bis 11 gezeigt. Hierbei werden die als Stromversorgungsleitungen dienenden Vcc-Verbindungen 41a bis 41b derart angeordnet, daß sie das Kontaktloch 17e (siehe Fig. 1) zum Verbinden der Nebenschlußwortleitung 18g (siehe Fig. 1) mit der Wortleitung 35d nicht zweidimensional überlappen, und deshalb kann das als Nebenschlußverbindungsgebiet dienende Kontaktloch 17e in einem Bereich gebildet werden, der den Speicherzellenbereich sogar in der Struktur mit den Vcc-Verbindungen 41a und 41b, welche in dem zwischen der Wortleitung 35d und der Nebenschlußwortleitung 18g angeordneten Bereich vorhanden sind, zweidimensional überlappen.

Dann wird eine Zwischenschichtisolierschicht 12 (siehe Fig. 13) aus einer Siliziumoxidschicht mit einer Dicke ungefähr in dem Bereich von 1000 bis  $10000 \times 10^{-10}$  m auf dem gesamten Substrat mittels LPCVD abgeschieden. Nach dem Bilden eines Resistmusters (nicht gezeigt) auf der Zwischenschichtisolierschicht 12 wird unter Verwenden des Resistmusters als eine Maske ein Teil der Zwischenschichtisolierschichten 12 und 9 zum Bilden von Kontaktlöchern 47a bis 47b und von Kontaktlöchern 46a bis 46c (siehe Fig. 13 und 14) in vorgeschriebenen Bereichen entfernt, worauf das Entfernen des Resistmusters folgt.

Nach dem Entfernen einer natürlichen Oxidschicht mittels Naßätzen unter Verwenden von Fluorwasserstoffsäure, wird eine phosphordotierte Polysiliziumschicht (nicht gezeigt) mit einer Dicke ungefähr in dem Bereich von 1000 bis  $2000 \times 10^{-10}$  m auf der Zwischenschichtisolierschicht 12 und in dem Kontaktlöchern 46a bis 46c und 47a bis 47d mittels LPCVD gebildet. Die Konzentration des Phosphors in der phosphordotierten Polysiliziumschicht liegt ungefähr in dem Bereich von  $1,0$  bis  $8,0 \times 10^{20}/\text{cm}^3$ . Ein Resistmuster (nicht gezeigt) wird auf der Polysiliziumschicht gebildet und unter Verwenden des Resistmusters als eine Maske wird ein Teil der dotierten Polysiliziumschicht anisotrop weggeätzt zum Bilden der Bitleitungskontaktflächen 45a bis 45c, der Massenleitungskontaktstopfen 61a bis 61b (siehe Fig. 13 und 14) und der Massenleitungen 44a und 44b (siehe Fig. 13). Daher folgt die in Fig. 12 bis 14 gezeigte Struktur.

Hierbei werden die Massenleitungen 44a und 44b derart vorgesehen, daß sie das Kontaktloch 17e (siehe Fig. 1), das als ein Nebenschlußverbindungsgebiet für die Wortleitung 35d dient, nicht zweidimensional überlappen, und der Nebenschlußverbindungsgebiet für die Wortleitung kann so gebildet werden, daß er den Speicherzellenbereich sogar in der Struktur mit den Massenleitungen 44a und 44b zwischen der Wortleitung 35d und der Nebenschlußwortleitung 18g (siehe Fig. 1) überlappt.

Es wird darauf hingewiesen, daß hierbei die Bitleitungs-

kontaktanschlüssen 45a bis 45c und die Massenleitungen 44a und 44b nur auf der phosphordotierten Polysiliziumschicht gebildet werden, und so genannte Polyzid-(Polycid-)Verbindungen sein können, welche aus einer Metallsilizidschicht wie beispielsweise eine Wolframsilizidschicht und einer phosphordotierten Polysiliziumschicht gebildet sind. Der Flächenwiderstandswert der Polysiliziumschicht, welche die Bitleitungskontaktanschlüssen 45a bis 45c und die Massenleitungen 44a und 44b bilden, liegt ungefähr in dem Bereich von 10 bis 100  $\Omega$ .

Eine Zwischenschichtisolierschicht 16 aus einer Siliziumoxidschicht (siehe Fig. 16) mit einer Dicke ungefähr in dem Bereich von 3000 bis  $10000 \times 10^{-10}$  m wird zum Bedecken der gesamten Oberfläche des Substrats mittels LPCVD abgeschieden. Nach dem Bilden eines Resistmusters (nicht gezeigt) auf der Zwischenschichtisolierschicht 16 wird unter Verwenden des Resistmusters als eine Maske ein Teil der Zwischenschichtisolierschichten 16, 12 und 9 (siehe Fig. 16) anisotrop weggeätzt zum Bilden der Kontaktlöcher 17a, 17b und 17f für Bitleitungen, der Massenleitungsnebenanschlußkontaktlöcher 17c und 17g und der Wortleitungsnebenanschlußkontaktlöcher 17b, 17e, 17i und 17h (siehe Fig. 15). Dann werden Bitleitungsverbindungsabschnitte 18a, 18e und 18h aus Aluminium mit einer Dicke ungefähr in dem Bereich von 1000 bis  $5000 \times 10^{-10}$  m als eine erste Metallverbindung, die Nebenschlußwortleitungen 18b, 18d, 18f und 18g und die Nebenschlußmassenleitung 18c (siehe Fig. 15) gebildet. Der Flächenwiderstandswert der ersten Schicht der Metallverbindungsschicht liegt ungefähr in dem Bereich von 0,05 bis 1  $\Omega$ . Daher folgt die in Fig. 15 bis 17 gezeigte Struktur.

Es wird auf Fig. 17 Bezug genommen; hierbei wird die Nebenschlußwortleitung 18g aus einer Metallschicht wie beispielsweise Aluminium elektrisch mit dem Nebenschlußverbindungsgebiet 35i für die Wortleitung über den in dem Kontaktloch 17e gebildeten Stopfen 62e verbunden, und deshalb kann ein Signal zur Wortleitung 35d (siehe Fig. 6) über die Nebenschlußwortleitung 18g übertragen werden. In ähnlicher Weise kann ein Signal über die Nebenschlußwortleitungen 18b, 18d und 18f zu anderen Wortleitungen 35a bis 35c (siehe Fig. 6) übertragen werden. Als eine Folge kann der Widerstand der Wortleitungen 35a bis 35b verringert sein, was zu einer Erhöhung der Betriebsgeschwindigkeit der Halbleitervorrichtung führt.

Es wird auf Fig. 17 Bezug genommen; die Nebenschlußwortleitung 18c aus einer Metallschicht wird elektrisch mit der Massenleitung 44a über den in dem Kontaktloch 17c gebildeten Stopfen 62c verbunden, und deshalb kann ein zur Massenleitung 44a laufender Strom zu der Nebenschlußmassenleitung 18c mit niedrigem elektrischen Widerstand laufen (fließen, geleitet werden). Als eine Folge kann der Widerstand der Massenleitung 44a verringert sein, was das Potential der Massenleitung 44a auf dem Massenpegel stabilisiert, und der Betrieb der Halbleitervorrichtung ist bei niedrigeren Spannungen möglich.

Es wird auf Fig. 15 Bezug genommen; es gibt Nebenschlußwortleitungen 18b, 18d und 18f und 18g, von denen zwei zu jeweils einer Mehrzahl von Speicherzellen, die benachbart zueinander in einer Richtung fast senkrecht zur Nebenschlußwortleitung 18g vorgesehen sind, entsprechen, und die Anzahl der Nebenschlußwortleitungen pro Wortleitung kann im Vergleich zu dem der Anmelderin bekannten Fall erhöht werden. Als eine Folge kann der Widerstand der Wortleitungen 35a, 35b, 35c und 35d (siehe Fig. 2 und 3) im Vergleich zu dem der Anmelderin bekannten Fall verringert sein.

Es wird auf Fig. 15 Bezug genommen; das Kontaktloch 17e für die Nebenschlußwortleitung 18g und das Kontakt-



loch 17c für die Nebenschlußmassenleitung 18c werden in einem Bereich gebildet, der die Speicherzellen zweidimensional überlappt. Dies gilt auch für die Kontaktlöcher für die Nebenschlußwortleitungen 18b, 18d und 18f. Deshalb müssen die Bereiche zum Verbinden der Nebenschlußwortleitungen 18b, 18d, 18f und 18g und der Wortleitungen 35a bis 35d und des Bereiches zum Verbinden der Nebenschlußmassenleitung 18c und der Massenleitung 44a nicht außerhalb der Speicherzellen gesichert werden. Daher kann eine Halbleitervorrichtung weiter integriert sein als im Vergleich zu dem Fall des Vorsehens des Nebenschlußverbindungsreiches außerhalb der Speicherzellen.

Es wird auf Fig. 15 Bezug genommen; das Kontaktloch 17e, das als der Nebenschlußverbindungsreich zum Verbinden der Nebenschlußwortleitung 18g und des Verbindungsbereiches 35i (siehe Fig. 3) für die Wortleitung 35d dient, wird für vier Speicherzellen, die benachbart zueinander in der Richtung gebildet sind, in die sich die Nebenschlußwortleitung 18g erstreckt, gebildet, und deshalb kann der Widerstand der Wortleitung 35d verringert sein, die Anzahl der Kontaktlöcher 17e, die als der Nebenschlußverbindungsreich auf den Speicherzellen dienen, kann verringert sein, und die dadurch belegte Fläche kann ebenfalls verringert sein. Daher können durch Erhöhen der Integrationsdichte der Halbleitervorrichtung Beschränkungen die mit dem Layout anderer Verbindungen wie beispielsweise der Massenleitungen 44a und 44b auf den Speicherzellen verbunden sind, verringert sein.

Ferner können die Kontaktlöcher 17c und 17g, die als ein Nebenschlußverbindungsreich zum Verbinden der Nebenschlußmassenleitung 18c und der Massenleitung 44a dienen, jeweils für zwei Speicherzellen gebildet werden, die benachbart zueinander in der Richtung, in der sich die Nebenschlußmassenleitung 18c (oder die Massenleitung 44a) erstreckt, gebildet sind, und deshalb kann die Anzahl der Kontaktlöcher 17c und 17g, die als ein Nebenschlußverbindungsreich auf den Speicherzellen dienen, verringert sein, während der Widerstand der Massenleitung 44a verringert ist, was dadurch zu einer Verringerung der belegten Fläche führt. Daher können durch weiteres Integrieren der Halbleitervorrichtung Beschränkungen, die mit dem Layout anderer Verbindungen auf den Speicherzellen verbunden sind, verringert sein.

Die Kontaktlöcher 17c, die als der Nebenschlußverbindungsreich für die Massenleitung 44a dienen, werden jeweils für vier Speicherzellen gebildet, welche benachbart zueinander in der Richtung, in die sich die Bitleitung 28a erstreckt, gebildet sind, und deshalb gibt es keine Nebenschlußmassenleitung, die direkt mit der Massenleitung 44a in einer Speicherzellen, in der die Nebenschlußwortleitungen 18f und 18g gebildet sind, verbunden werden muß. Jedoch werden in einer Speicherzelle, die benachbart zu dieser Speicherzelle in der Richtung, in der sich die Bitleitung 28a erstreckt, gebildet ist, die Nebenschlußwortleitung 18c und die Massenleitung 44a elektrisch miteinander über das Kontaktloch 17c verbunden. Die Massenleitungen 44a und 44b für diese zwei Speicherzellen werden elektrisch miteinander über den Verbindungsabschnitt 44e (siehe Fig. 16 und 17) verbunden, und die Nebenschlußwortleitung 18c wird elektrisch mit der Massenleitung 44b in der Speicherzelle, in der die Nebenschlußmassenleitung 18c nicht gebildet wird, verbunden. Daher kann in der Speicherzelle, in der die Massenleitung 44b gebildet wird, der Widerstand der Massenleitung 44b verringert sein, ohne eine Nebenschlußmassenleitung und einen Nebenschlußverbindungsreich zu bilden, was zu einer Verringerung der Betriebsspannung der Halbleitervorrichtung führt.

Auf die Schritte wie in Fig. 15 bis 17 gezeigt folgend,

wird eine Zwischenschichtisolierschicht 26 (siehe Fig. 2) aus einer Siliziumoxidschicht mit einer Dicke ungefähr in dem Bereich von  $5000 \text{ bis } 10000 \times 10^{-10} \text{ m}$  (siehe Fig. 2) zum Bedecken des gesamten Substrats mittels LPCVD abgeschieden. Ein Resistmuster wird auf der Zwischenschichtisolierschicht 26 gebildet, und unter Verwenden des Resistmusters als eine Maske wird ein Teil der Zwischenschichtisolierschicht 26 anisotrop weggeätzt zum Bilden der Kontaktlöcher 27a und 27b (siehe Fig. 1), worauf das Entfernen des Resistmusters folgt.

Die Bitleitungen 28a bis 28h aus Aluminiumschichten mit jeweils einer Dicke ungefähr in dem Bereich von  $3000 \text{ bis } 10000 \times 10^{-10} \text{ m}$  werden als zweite Schicht von Metallverbindungen gebildet. Der Flächenwiderstandswert der zweiten Schicht von Metallverbindungen liegt ungefähr in dem Bereich von  $0,01 \text{ bis } 0,1 \Omega$ . Auf diese Weise folgt die in Fig. 1 bis 3 gezeigte Halbleitervorrichtung.

## Zweite Ausführungsform

Es wird auf Fig. 18 bis 20 Bezug genommen; der Speicherzellenabschnitt eines SRAM gemäß einer zweiten Ausführungsform der Erfindung wird nun beschrieben.

Die Speicherzelle gemäß der zweiten Ausführungsform hat im wesentlichen dieselbe Struktur wie die Speicherzelle in dem SRAM gemäß der ersten Ausführungsform. In der Speicherzelle gemäß der zweiten Ausführungsform sind die Wortleitungen 18b und 18e (siehe Fig. 18) für Speicherzellen auf einer Eins-zu-Eins-Basis gebildet. In dem Speicherzellenbereich ist das Kontaktloch 17i (siehe Fig. 20), welches die Massenleitung 14d (siehe Fig. 20) und die Nebenschlußmassenleitung 18c (siehe Fig. 20) verbindet, als ein Nebenschlußverbindungsreich gebildet.

Es wird auf Fig. 20 Bezug genommen; auf diese Weise ist gemäß der zweiten Ausführungsform die Massenleitung 14d elektrisch mit der Nebenschlußmassenleitung 18c verbunden und deshalb kann ein Strom, der zu der Massenleitung 14d läuft, zu der Niedrigwiderstandsnebenschlusssmassenleitung 18c aus einer Metallschicht laufen. Als eine Folge kann der Widerstand der Massenleitung 14d verringert sein, was das Potential der Massenleitung 14d auf dem Massenpegel stabilisiert, und auf diese Weise den Betrieb der Halbleitervorrichtung auf niedrigeren Spannungen erlaubt. Ferner ist das Kontaktloch 17i, der Verbindungsabschnitt der Massenleitung 14d und der Nebenschlußmassenleitung 18c, in einem auf einer Speicherzelle angeordneten Bereich gebildet, und deshalb ist es nicht notwendig, einen anderen Verbindungsbereich für die Massenleitung 14d und die Nebenschlußmassenleitung 18c außerhalb der Speicherzelle zu sichern. Die Halbleiterspeichervorrichtung kann als eine Folge weiter integriert sein.

Es wird auf Fig. 19 Bezug genommen; gemäß der zweiten Ausführungsform können, da die Nebenschlußwortleitungen 18b, 18e und die Nebenschlußmassenleitung 18c in von der Bitleitung 28a verschiedenen Schichten gebildet sind, sie in Richtungen senkrecht zueinander vorgesehen sein ohne Beschränkungen im Layout (in der Anordnung).

Der Herstellungsprozeß, wie er in Fig. 22 bis 29 gezeigt ist, ist im wesentlichen identisch zu dem Herstellungsprozeß der Speicherzellen in dem SRAM gemäß der in Fig. 4 bis 17 gezeigten ersten Ausführungsform.

## Patentansprüche

1. Halbleitervorrichtung mit einer ersten Speicherzelle, wobei die erste Speicherzelle eine aus einer Mehrzahl von in einer Matrix angeordneten Speicherzellen ist,

einer auf der ersten Speicherzelle gebildeten Wortleitung (35a, 35b, 35c, 35d), einer ersten Nebenschlußverbindung (18g) mit niedrigem Widerstand, die auf der Wortleitung (35a, 35b, 35c, 35d) mit einer ersten Zwischenschichtisolierschicht (9) dazwischen gebildet ist, wobei die erste Nebenschlußverbindung (18g) eine aus einer Mehrzahl von Nebenschlußverbindungen (18b, 18d, 18f, 18g) ist, welche jeweils für mindestens jede der Mehrzahl von Speicherzellen gebildet ist, die benachbart zueinander in einer Richtung vorgesehen sind, die im wesentlichen senkrecht zu der Richtung ist, in die sich die Wortleitung (35a, 35b, 35c, 35d) erstreckt; und einem ersten Nebenschlußverbindungsgebiet (17e), der in einem Bereich gebildet ist, der die erste Speicherzelle zweidimensional überlappt, zum elektrischen Verbinden der Wortleitung (35d) und der ersten Verbindung (18g).

2. Halbleitervorrichtung nach Anspruch 1 mit einer Massenleitung (44a), die entweder auf der ersten Speicherzelle oder auf einer zweiten Speicherzelle gebildet ist, einer zweiten Nebenschlußverbindung (18c) mit niedrigem Widerstand, die auf der Wortleitung (35a, 35b, 35c, 35d) und der Massenleitung (44a) mit einer zweiten Zwischenschichtisolierschicht (16) dazwischen gebildet ist, wobei die zweite Nebenschlußverbindung eine aus einer Mehrzahl von Nebenschlußverbindungen ist, welche jeweils für mindestens zwei der Mehrzahl von Speicherzellen gebildet ist, die benachbart zueinander in der Richtung vorgesehen sind, die im wesentlichen senkrecht zu der Richtung ist, in die sich die Wortleitung (35a, 35b, 35c, 35d) erstreckt, und einem zweiten Nebenschlußverbindungsgebiet (17c, 17g), der in einem Bereich gebildet ist, welcher die erste Speicherzelle zweidimensional überlappt, zum elektrischen Verbinden der Massenleitung (44a) und der zweiten Nebenschlußverbindung (18c).

3. Halbleitervorrichtung nach Anspruch 1 oder 2, bei der die erste Nebenschlußverbindung (18g) mindestens eine Metallschicht oder eine Refraktär-Metallsilizidschicht aufweist.

4. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3, mit einer Stromversorgungsleitung (41a, 41b), die derart gebildet ist, daß sie den ersten Verbindungsgebiet (17e) nicht zweidimensional überlappt in einem Bereich, der sich zwischen der Wortleitung (35a, 35b, 35c, 35d) und der ersten Nebenschlußverbindung (18g) befindet.

5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, mit einer Massenleitung (44a, 44b), die derart gebildet ist, daß sie den ersten Verbindungsgebiet (17e) nicht zweidimensional überlappt, in einem Bereich, der sich zwischen der Wortleitung (35a, 35b, 35c, 35d) und der ersten Nebenschlußverbindung (18g) befindet.

6. Halbleitervorrichtung nach einem der Ansprüche 1 bis 5, bei der der erste Verbindungsgebiet (17e) für mindestens vier Speicherzellen gebildet ist, die benachbart zueinander in der Richtung vorgesehen sind, in die sich die Wortleitung (35a, 35b, 35c, 35d) erstreckt.

7. Halbleitervorrichtung mit einer ersten Speicherzelle, wobei die erste Speicherzelle eine aus einer Mehrzahl von in einer Matrix angeordneten Speicherzellen ist, einer auf der ersten Speicherzelle gebildeten Massenleitung (44a), einer ersten Nebenschlußverbindung (18c) mit niedri-

gem Widerstand, die auf der ersten Massenleitung (44a) mit einer ersten Zwischenschichtisolierschicht (16) dazwischen gebildet ist, wobei die erste Nebenschlußverbindung (18c) eine aus einer Mehrzahl von Nebenschlußverbindungen ist, welche jeweils für mindestens zwei der Mehrzahl von Speicherzellen gebildet sind, die benachbart zueinander in einer Richtung vorgesehen sind, die im wesentlichen senkrecht zu der Richtung ist, in die sich die erste Massenleitung (44a) erstreckt, und einem ersten Nebenschlußverbindungsgebiet (17c), der in einem Bereich gebildet ist, der die erste Speicherzelle zweidimensional überlappt, zum elektrischen Verbinden der ersten Massenleitung (44a) und der ersten Nebenschlußverbindung (18c).

8. Halbleitervorrichtung nach Anspruch 7 mit einer zweiten Speicherzelle, die benachbart zu der ersten Speicherzelle in einer Richtung vorgesehen ist, die im wesentlichen senkrecht zu der Richtung ist, in die sich die erste Massenleitung (44a) erstreckt, und einer zweiten Massenleitung (44b), die auf der zweiten Speicherzelle im wesentlichen sich parallel zu der ersten Massenleitung (44a) erstreckend gebildet ist, wobei sie elektrisch mit der ersten Massenleitung (44a) verbunden ist.

9. Halbleitervorrichtung nach Anspruch 7 oder 8, in der die ersten Nebenschlußverbindung (18c) mindestens eine Metallschicht oder eine Refraktär-Metallsilizidschicht aufweist.

10. Halbleitervorrichtung nach einem der Ansprüche 7 bis 9, bei der der erste Verbindungsgebiet (17c) für mindestens zwei Speicherzellen gebildet ist, die benachbart zueinander in der Richtung vorgesehen sind, in die sich die erste Massenleitung (44a) erstreckt.

Hierzu 28 Seite(n) Zeichnungen

FIG.3

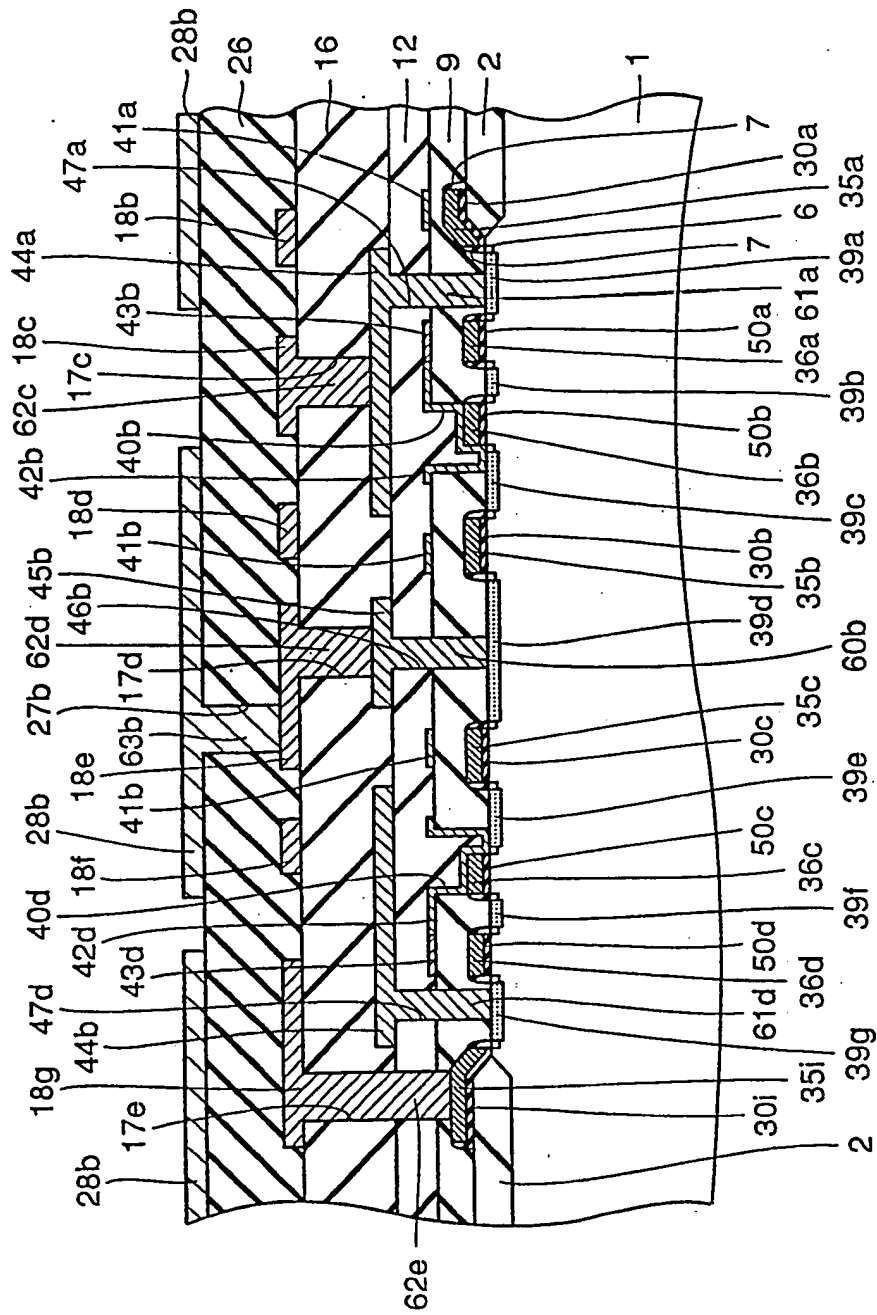




FIG.2

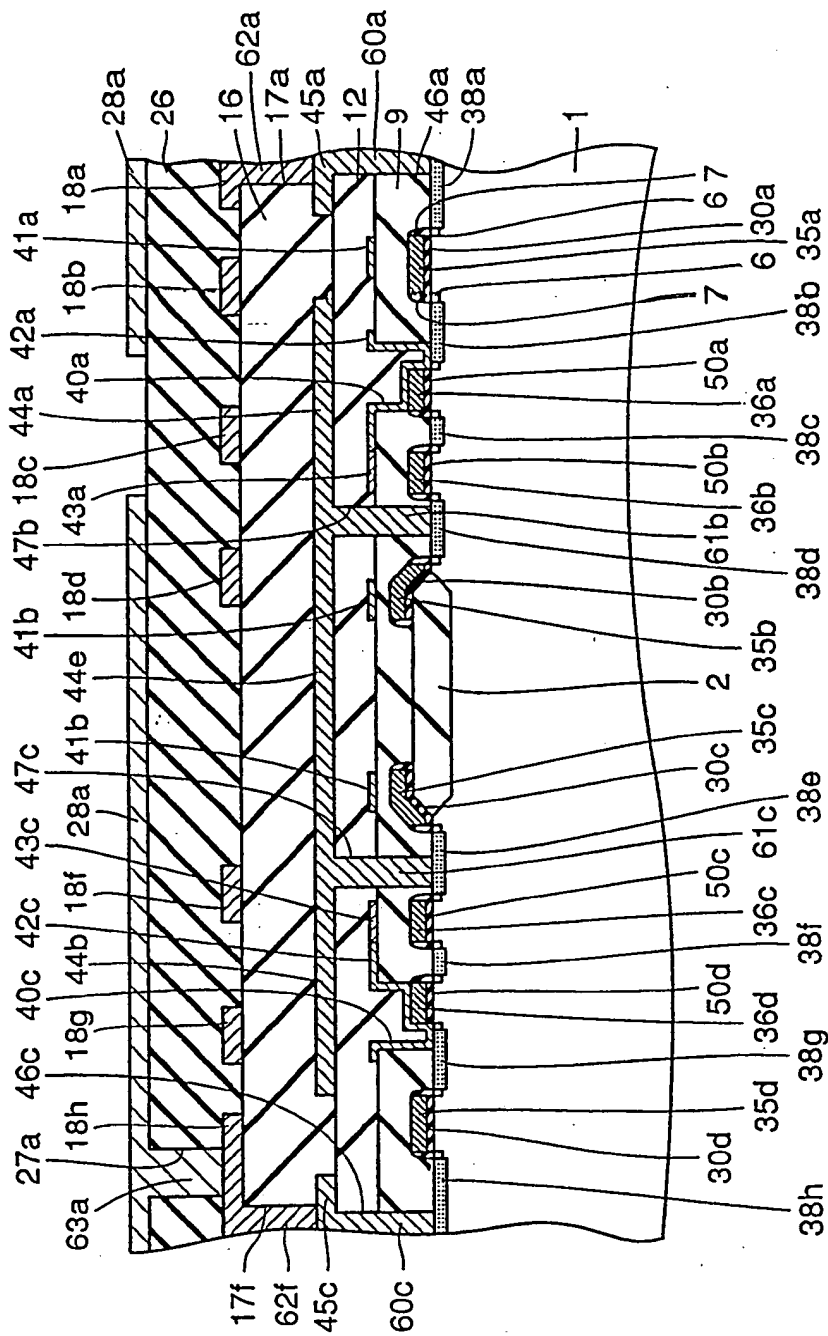


FIG.4

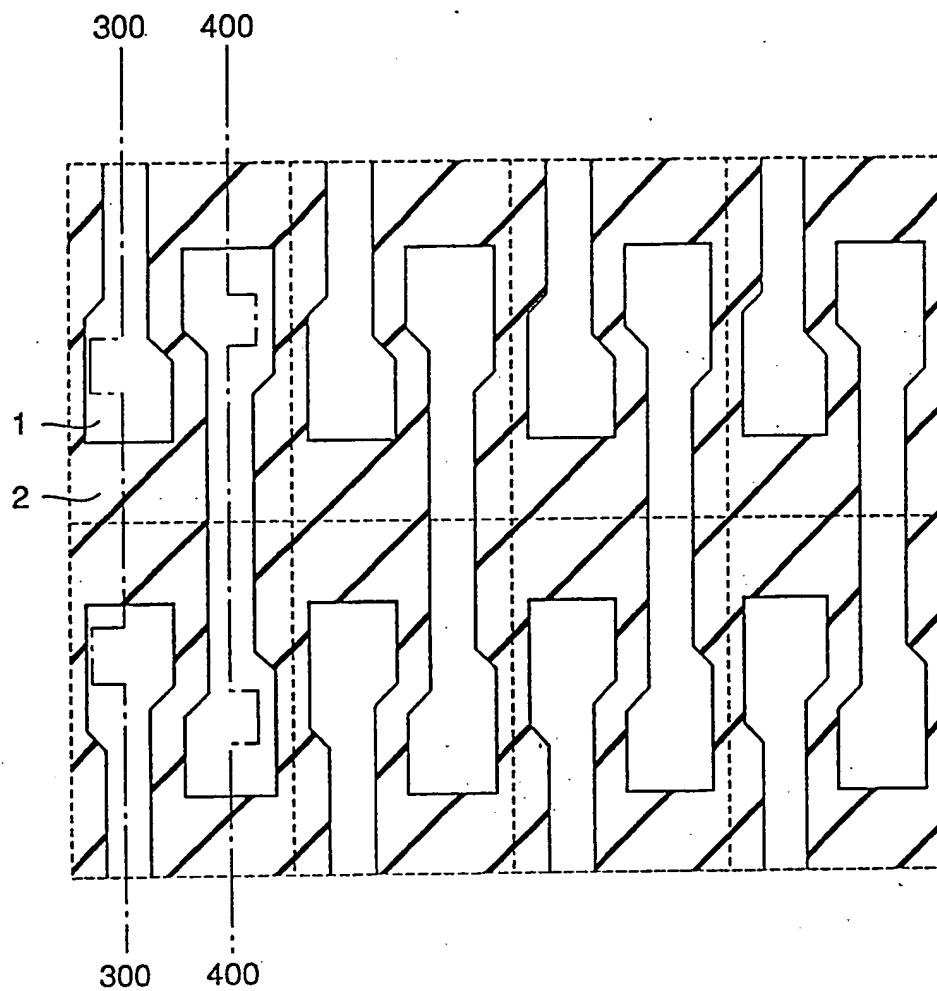


FIG.5

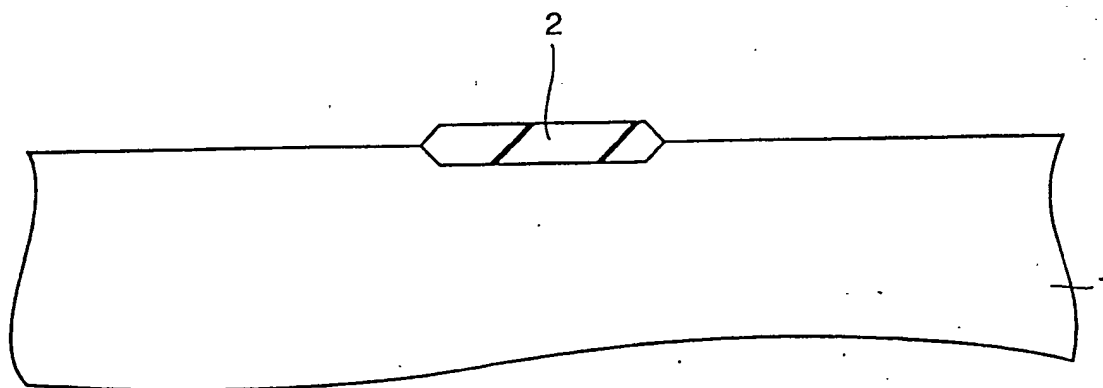




FIG. 6

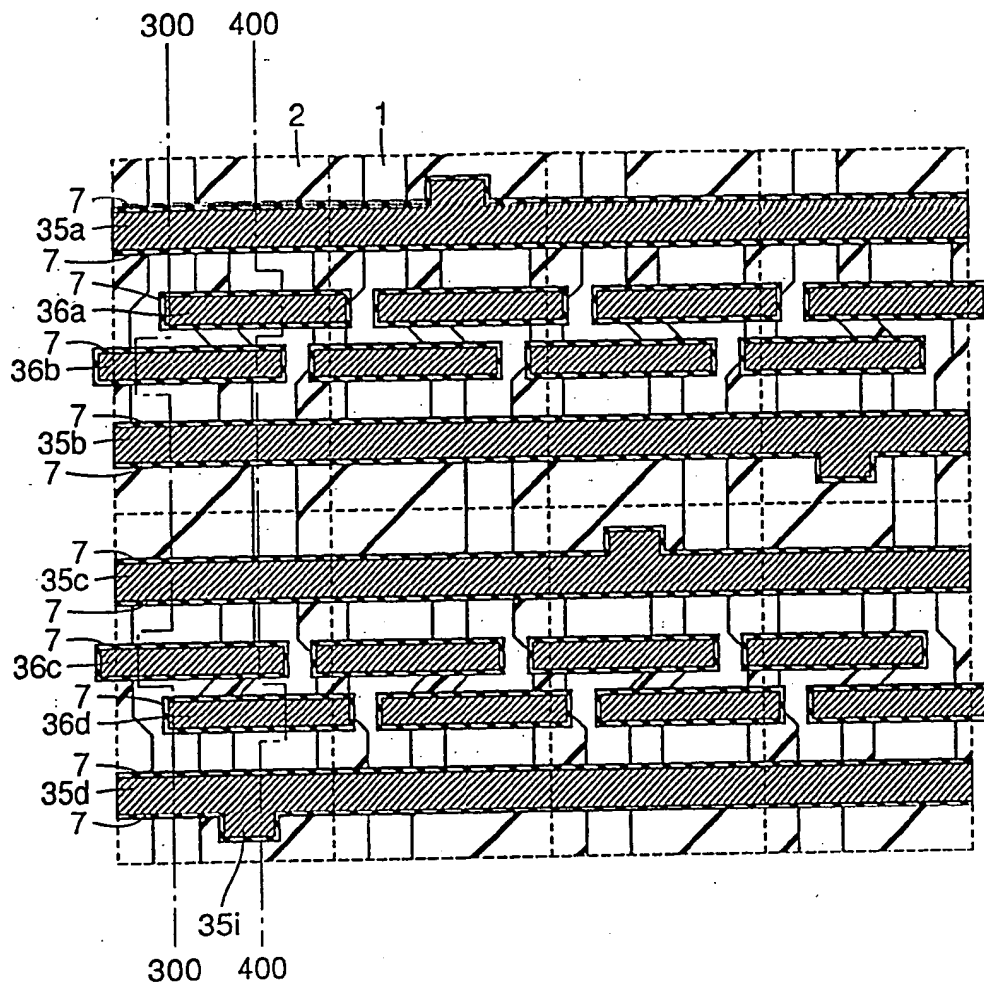


FIG. 7

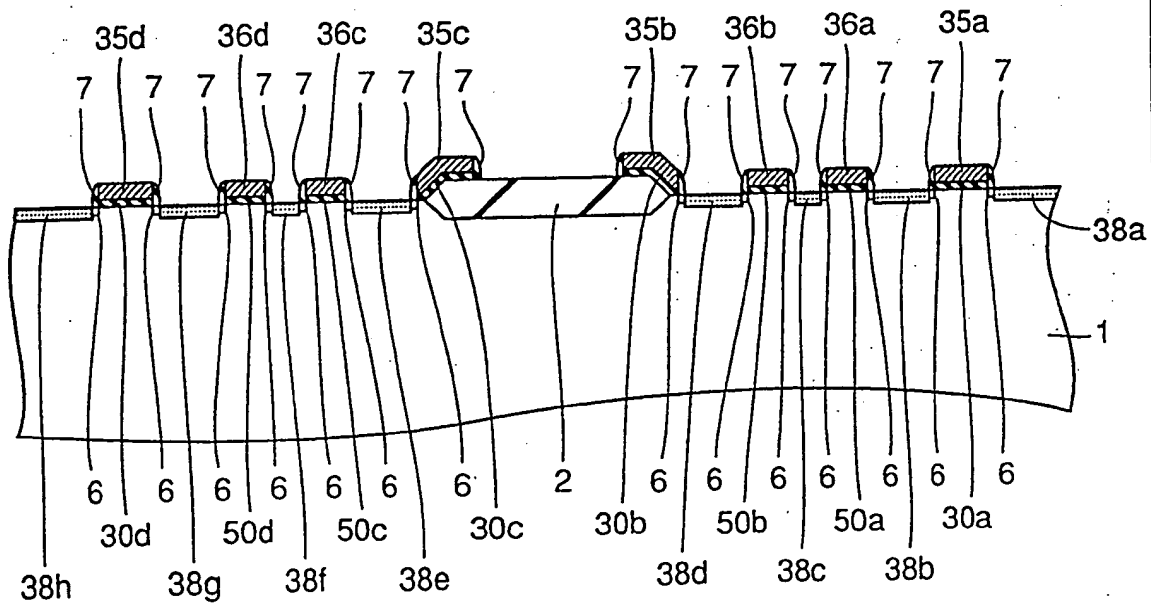


FIG.8

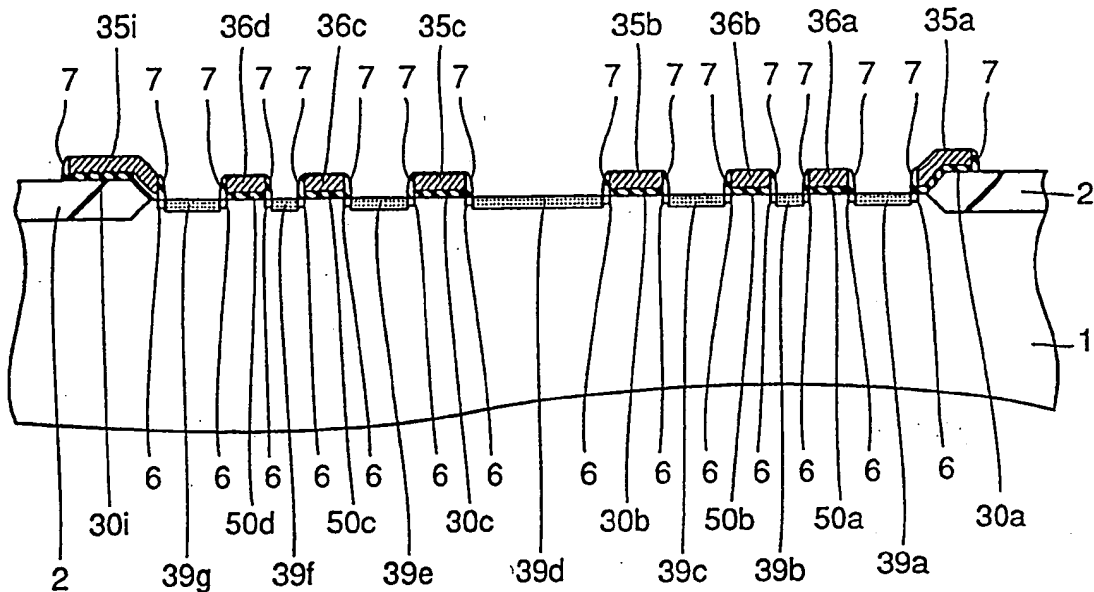


FIG.10

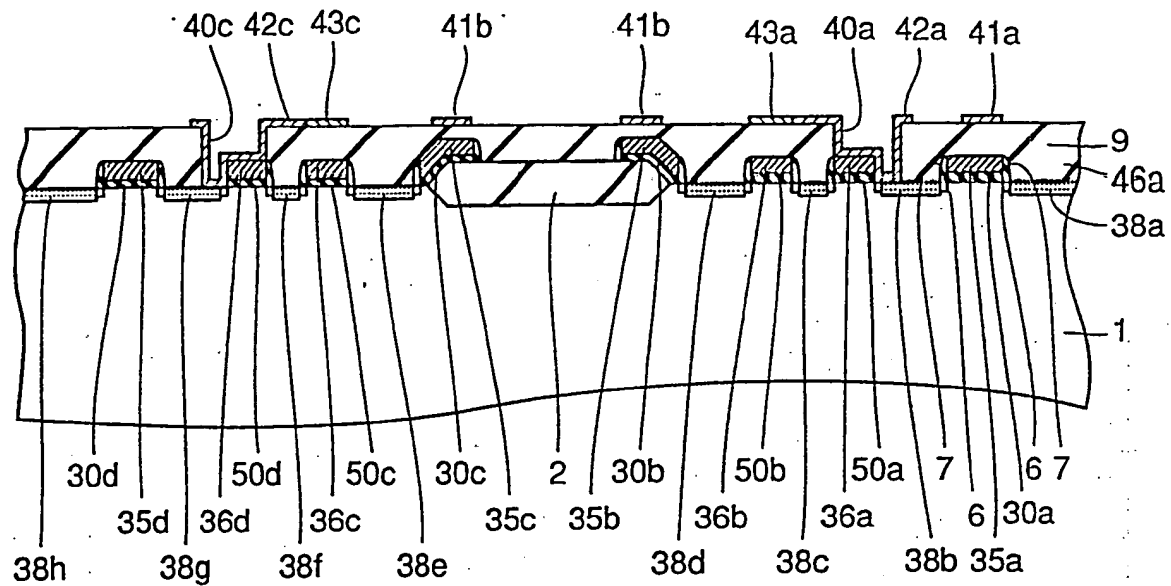


FIG.11

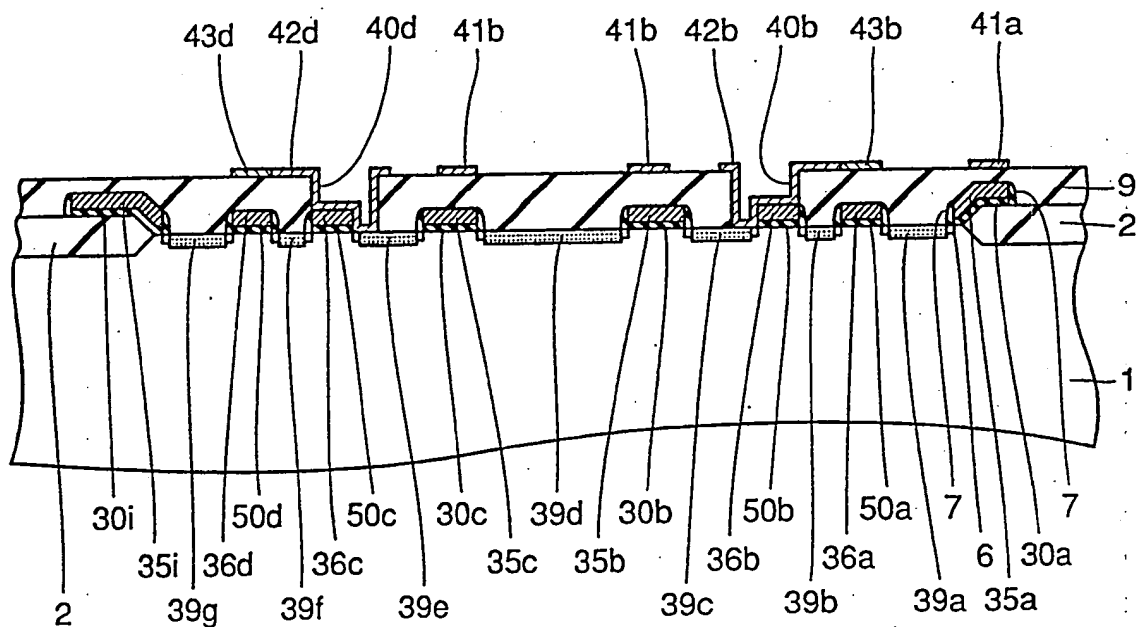


FIG. 12

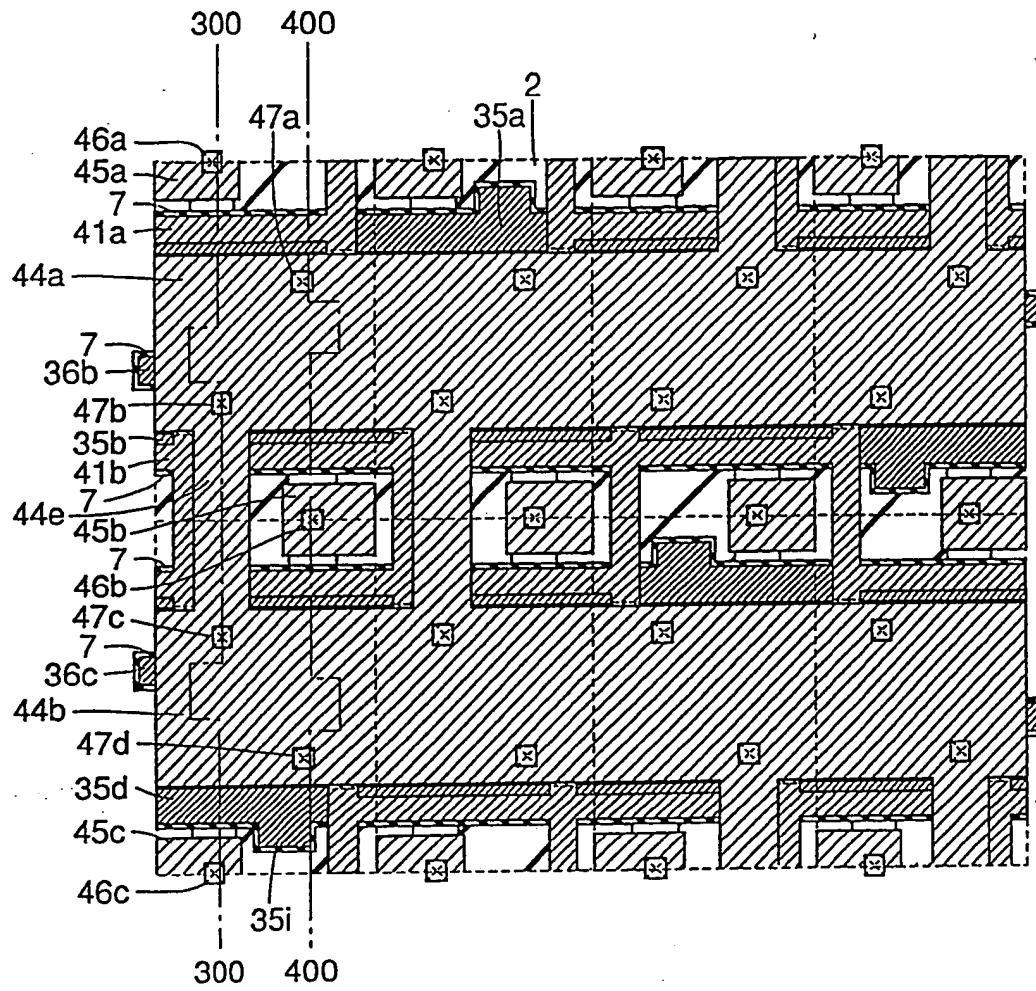




FIG. 14

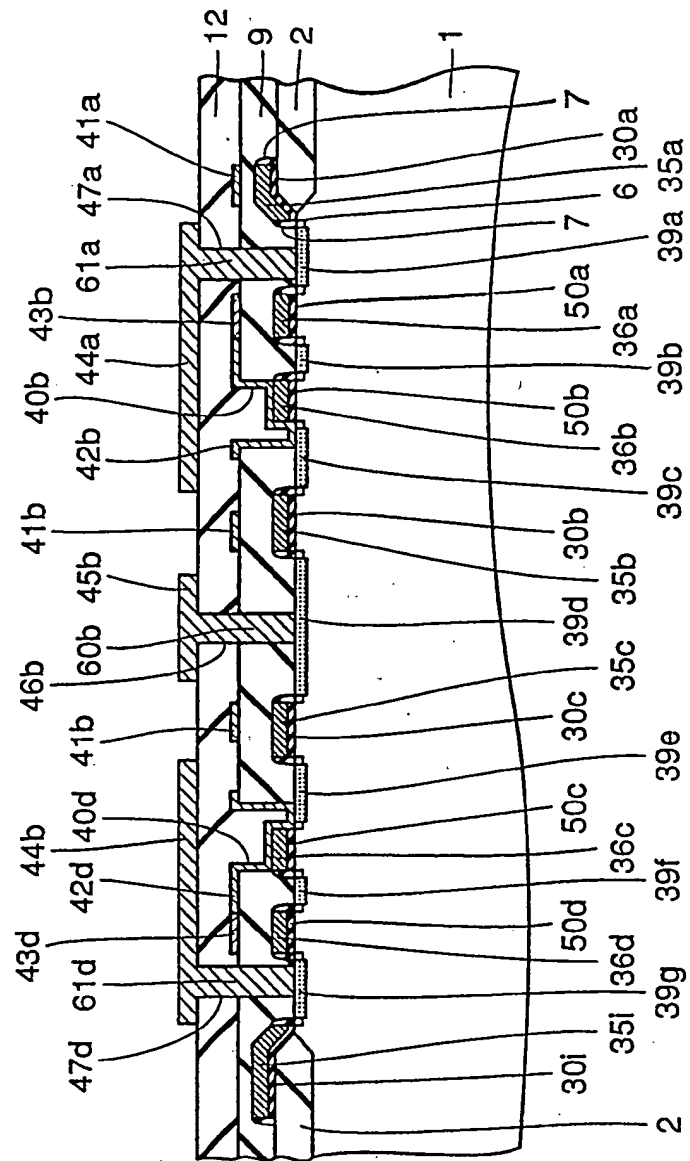
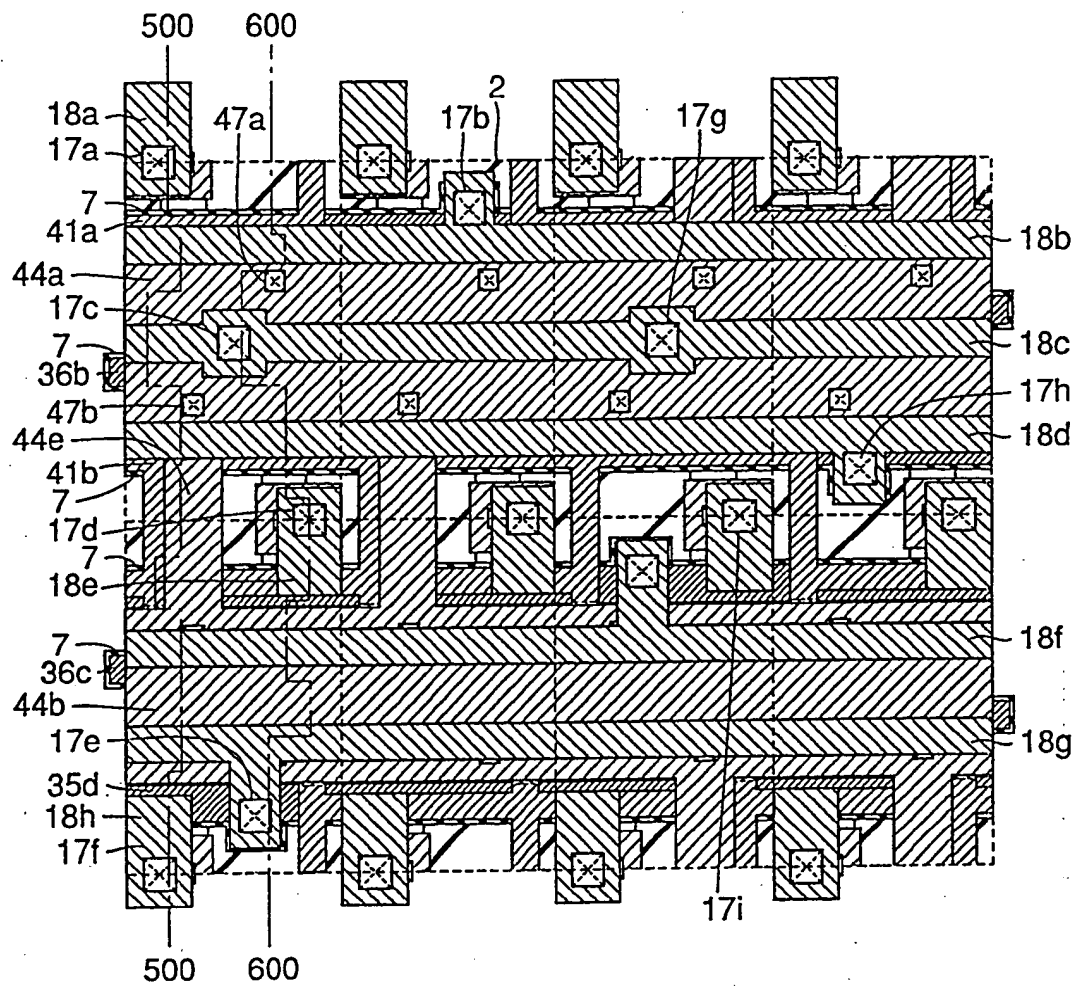




FIG. 15



**FIG. 16**

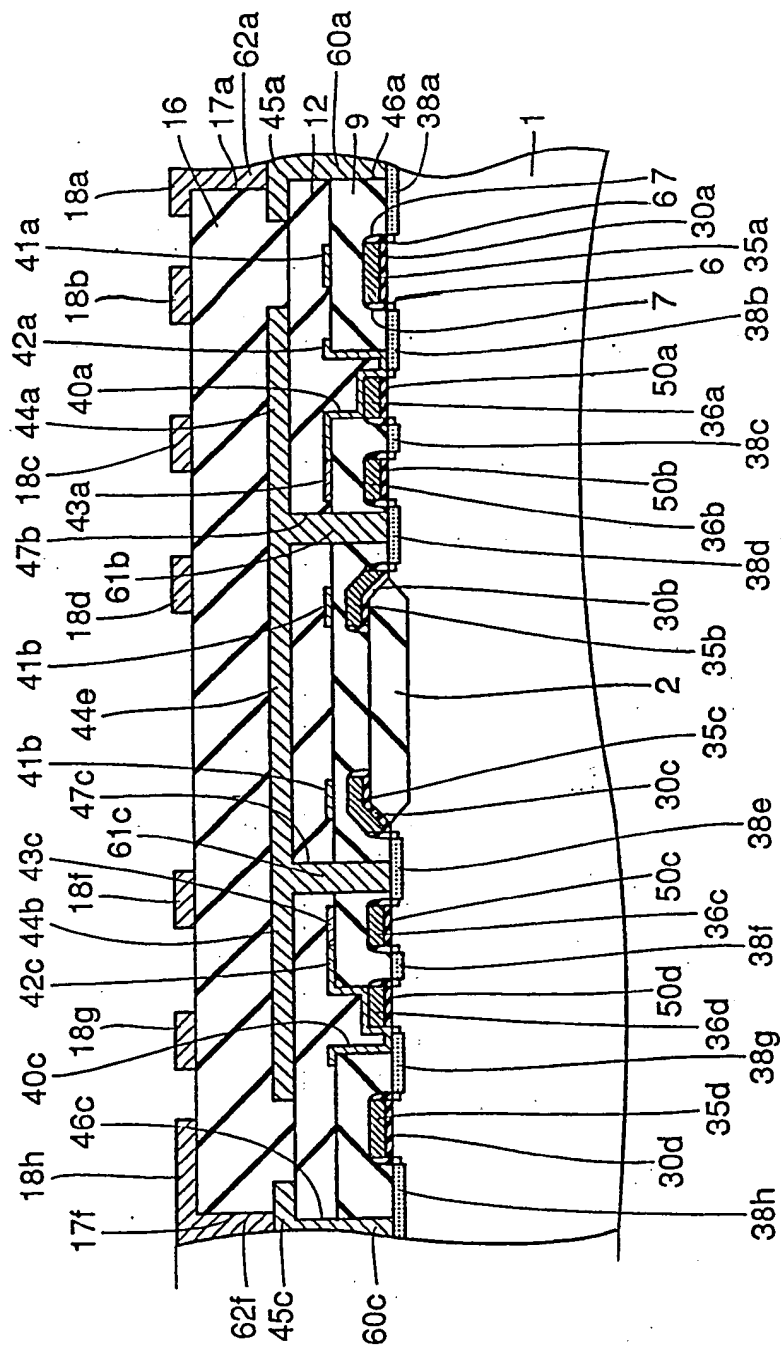


FIG.17

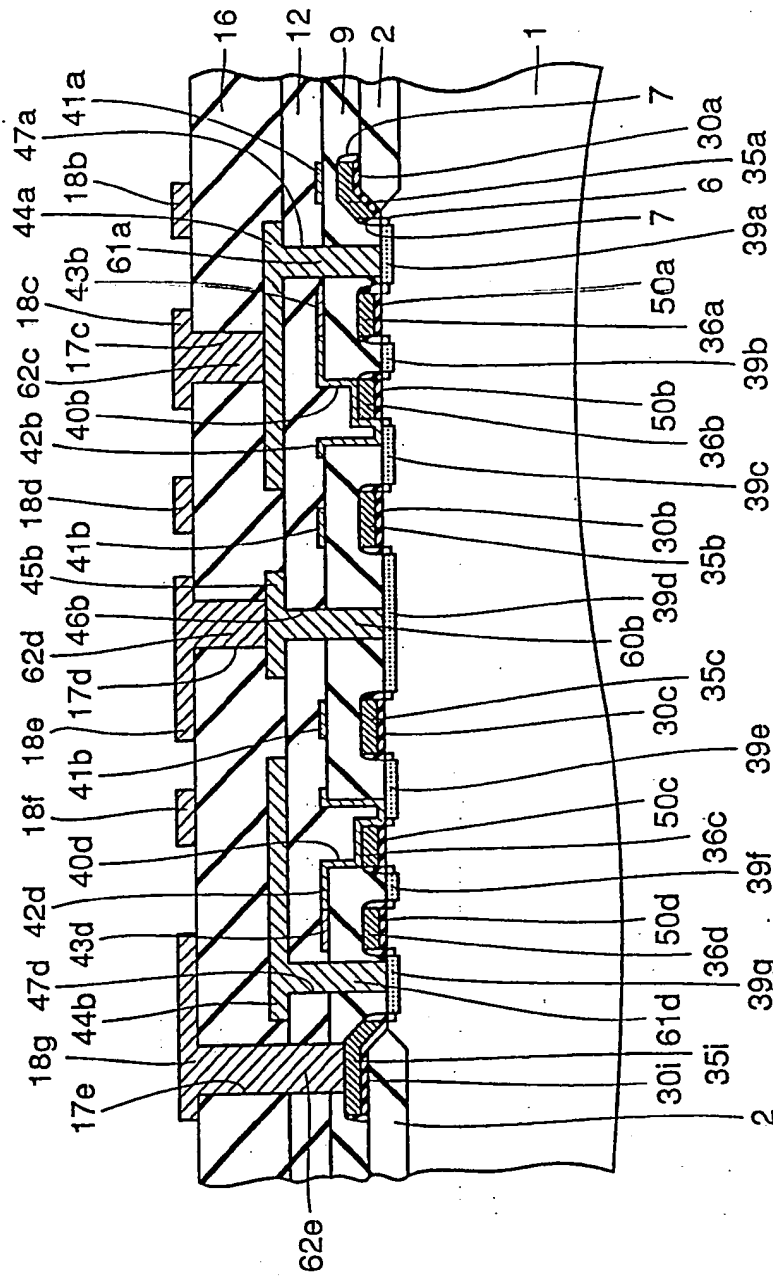


FIG.18

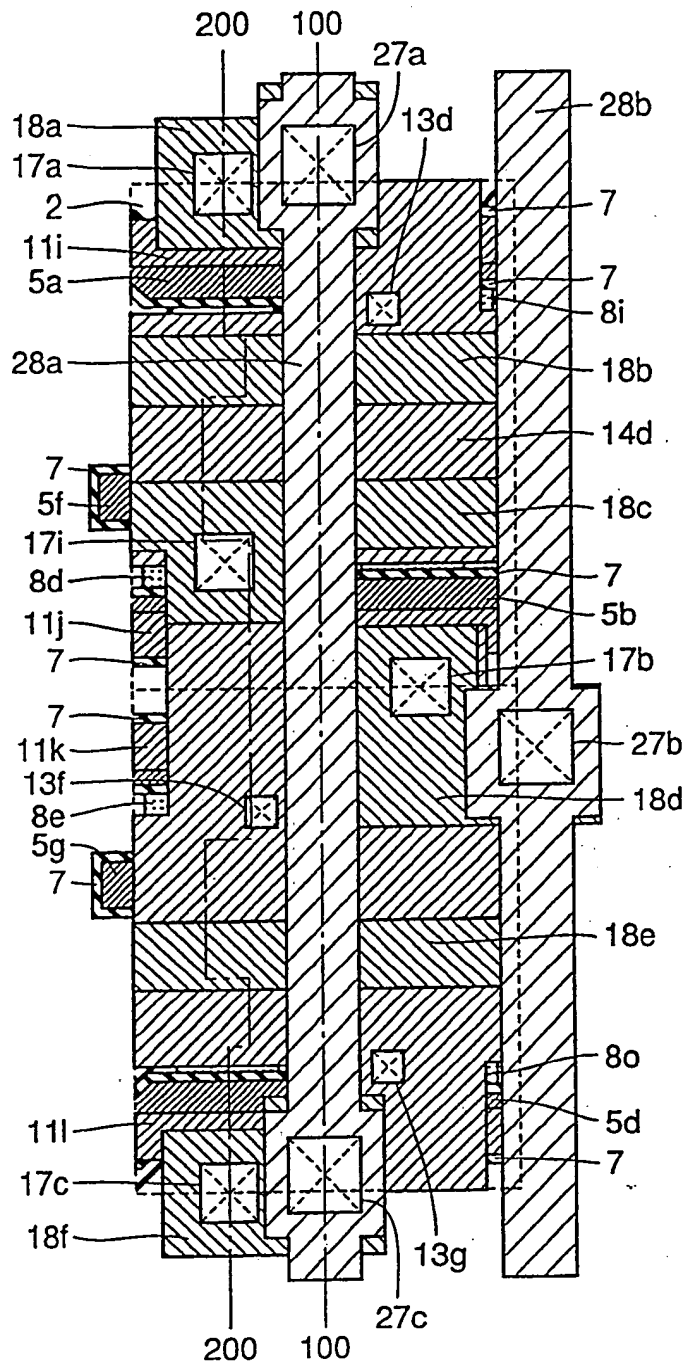




FIG.20

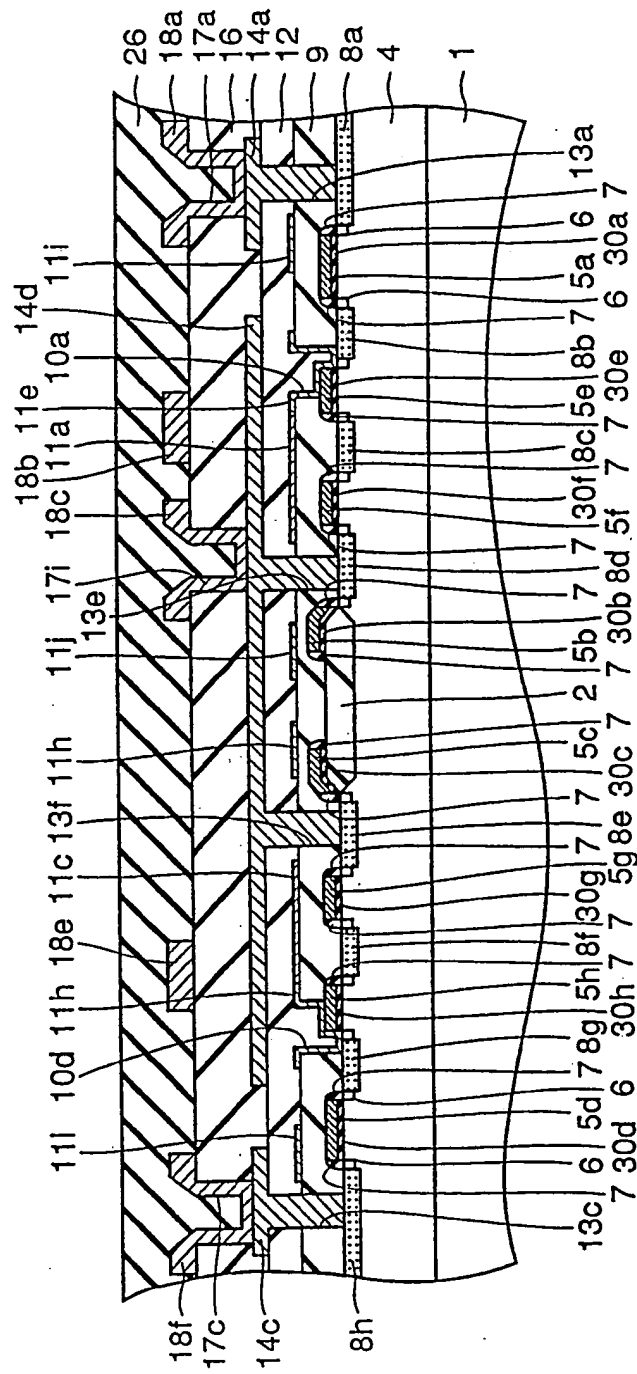




FIG.21

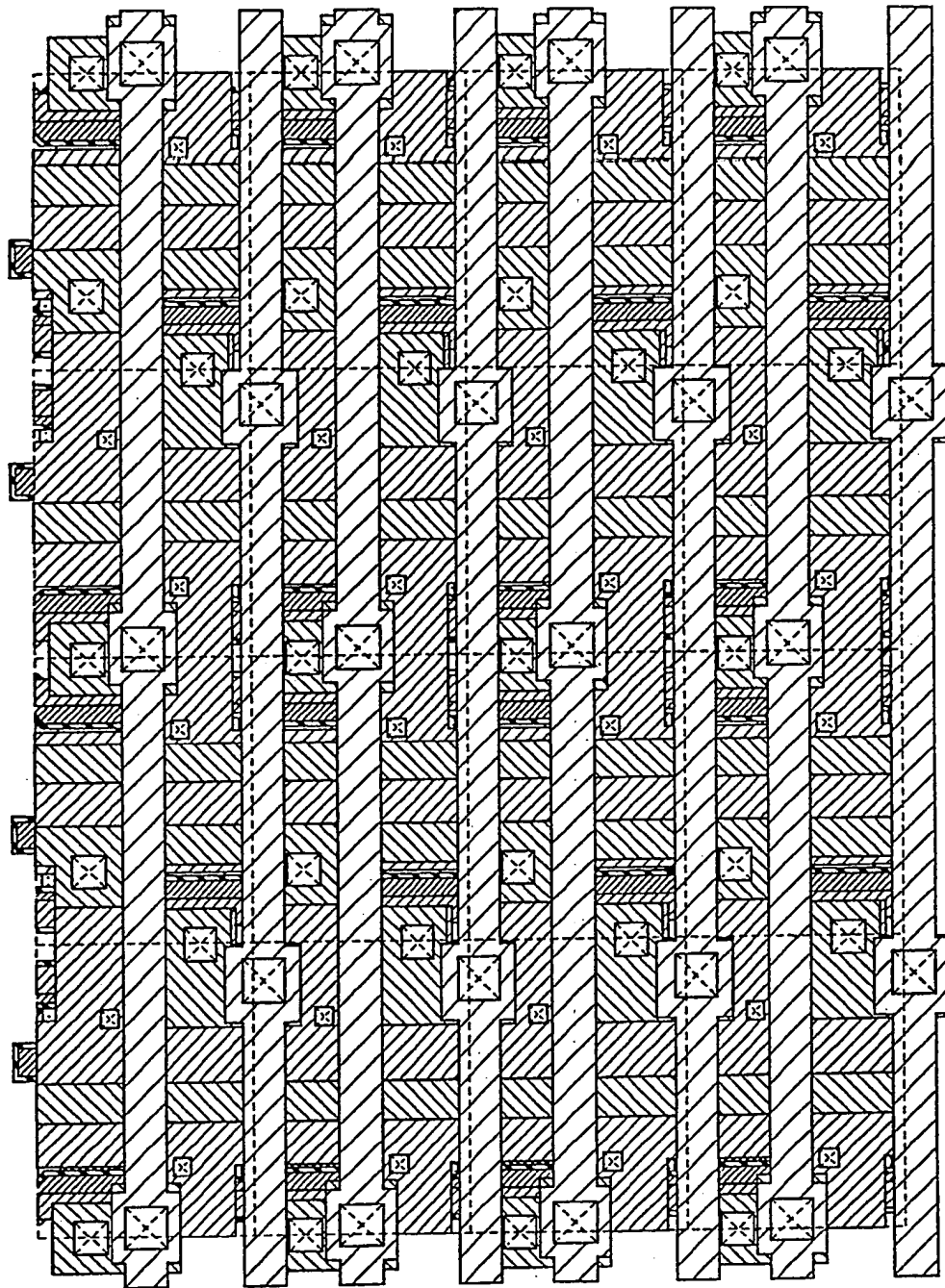




FIG.23

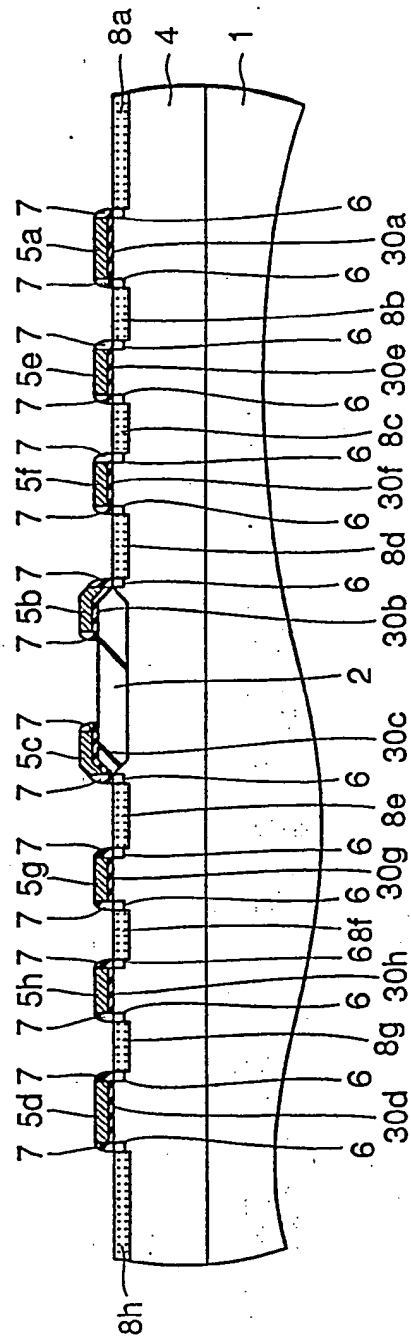


FIG.24

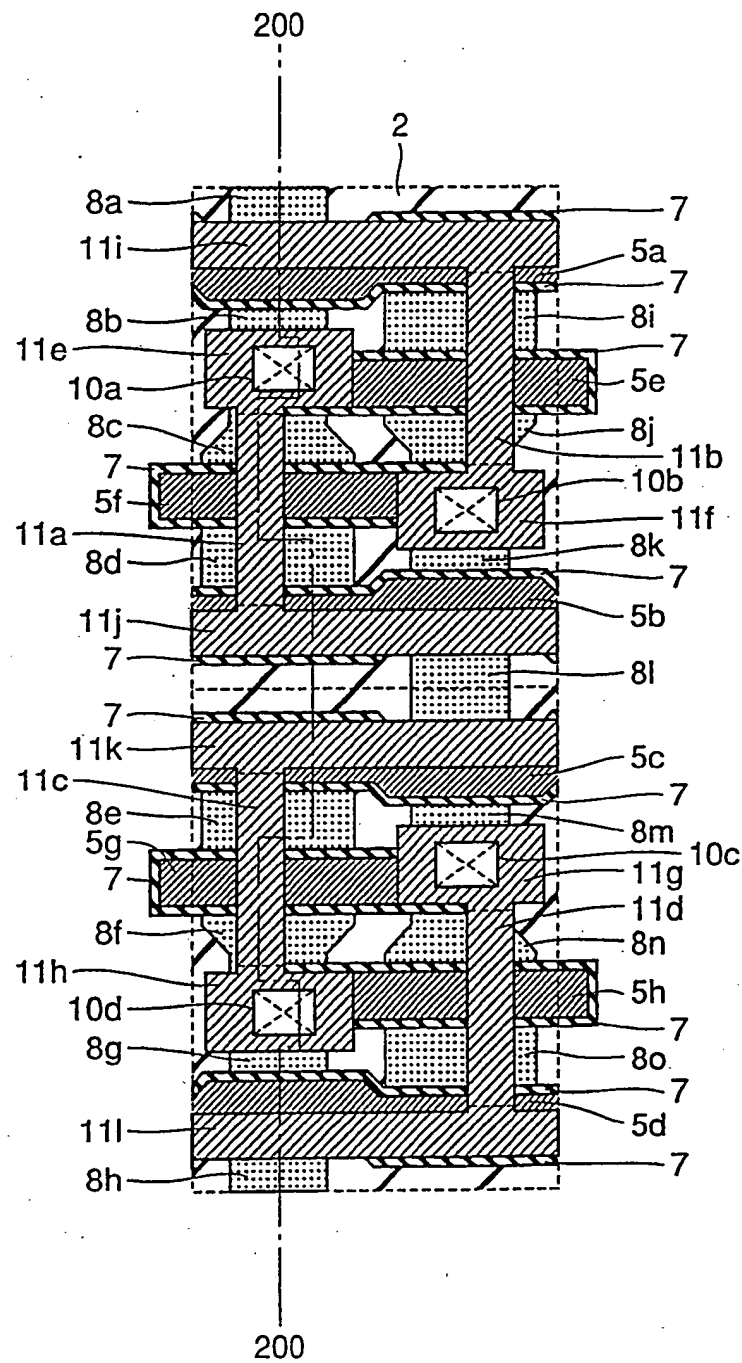




FIG.26

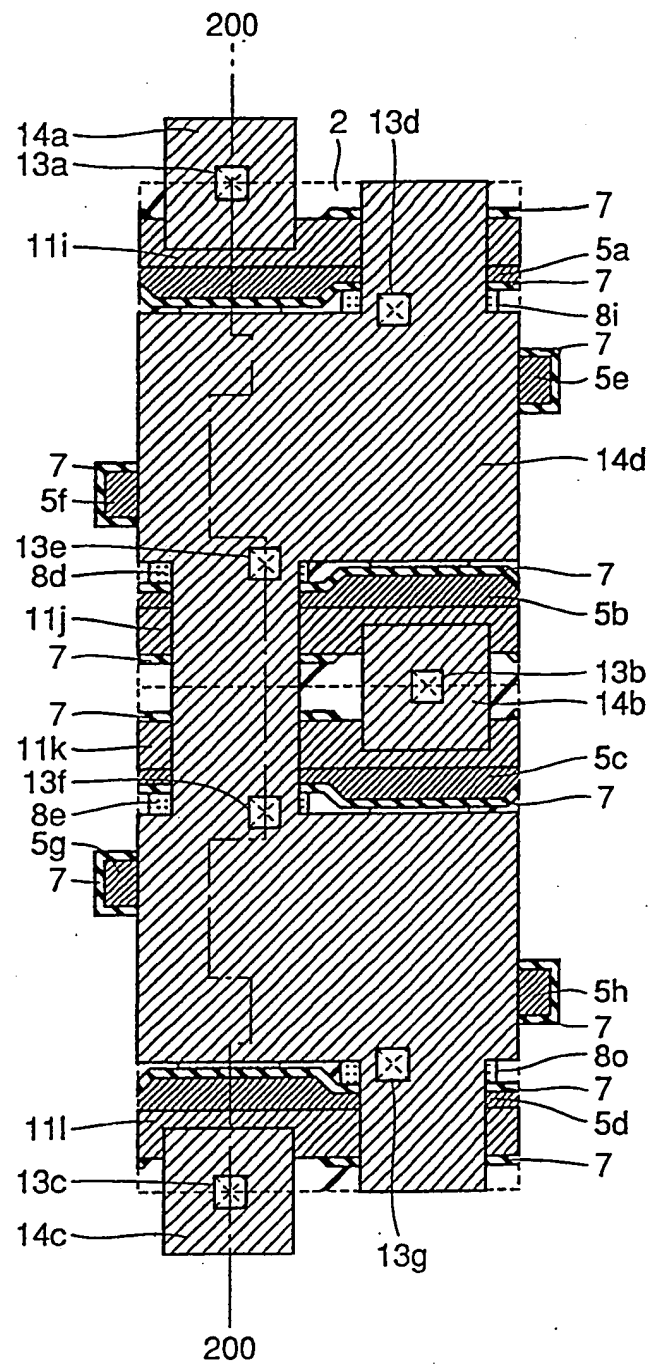






FIG.28

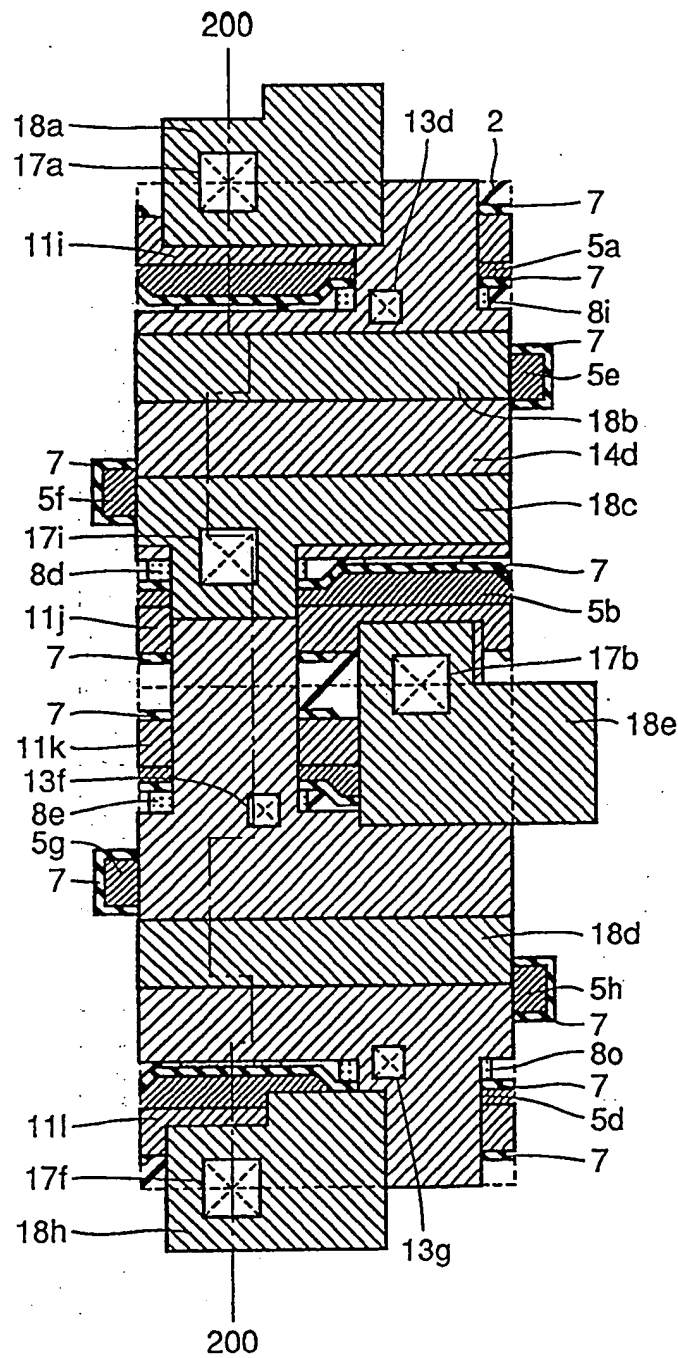






FIG. 31

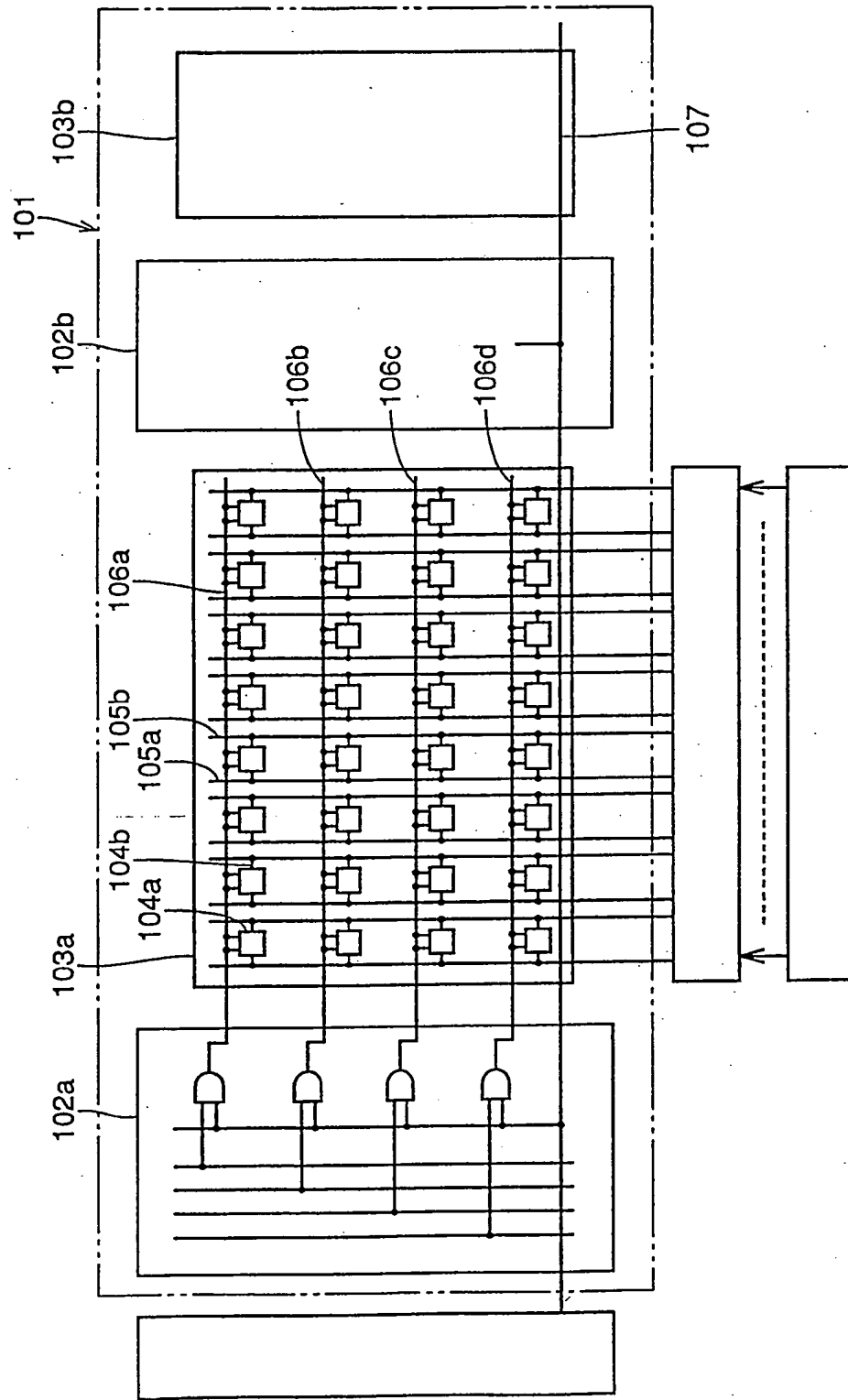


FIG.32

